progettare con

L' ELETTRONICA

ELETTRONICA DIGITALE CON ESPERIMENTI

dalle porte logiche ai flip-flop

GRUPPO EDITORIALE JACKSON

progettare con

L'ELETTRONICA

ELETTRONICA DIGITALE CON ESPERIMENTI

dalle porte logiche ai flip-flop

GRUPPO EDITORIALE
JACKSON

Direttore responsabile :
Paolo Reina

Direttore di divisione :
Roberto Pancaldi

Coordinamento editoriale :
Renata Rossi

Traduttore e impaginatore :
Eugenio Piana

Revisore :
Mauro Gargantini

Copertina :
Sergio Mazzali

Stampa :
GRAFICA 85 - Rodano Millepini

Distribuzione :
Sodip - Milano

Tutti i diritti di riproduzione e pubblicazione di disegni, fotografie e testi sono riservati.

Gruppo Editoriale Jackson - 1989

INDICE GENERALE

CAPITOLO	**1**	**Concetti base**	1
	1.1	Simboli di circuiti e stati logici	1
CAPITOLO	**2**	**La piastra sperimentale**	5
	2.1	Fonte di alimentazione	5
	2.2	Componenti principali del circuito	7
	2.3	Consigli per l'uso	13
	2.4	Elenco di componenti della piastra digitale	14
CAPITOLO	**3**	**Sistemi di numerazione**	21
	3.1	Il sistema binario	21
	3.2	Conversione da un sistema ad un altro	23
CAPITOLO	**4**	**Algebra di Boole**	27
	4.1	Funzioni logiche fondamentali	27
	4.2	Combinazioni tra funzioni basilari	36
	4.3	Teoremi di De Morgan	37
	4.4	Funzione "OR" esclusiva o "EX-OR"	39
CAPITOLO	**5**	**Logica elettronica**	41
	5.1	Elettronica digitale	41
CAPITOLO	**6**	**Esercizi pratici sull'algebra di boole**	45
	6.1	Consigli per la realizzazione delle esercitazioni	45

CAPITOLO	**7**	**Funzionamento dei semiconduttori in commutazione**	61
	7.1	Diodi: caratteristiche statiche	61
	7.2	Diodi: caratteristiche dinamiche	63
	7.3	Transistor: caratteristiche statiche	65
	7.4	Transistor: caratteristiche dinamiche	66
CAPITOLO	**8**	**Diversi tipi di logiche**	69
	8.1	Logica a diodi	69
	8.2	Logica TTL	70
	8.3	Analisi di una porta NAND (TTL)	71
	8.4	Variazioni della logica TTL	74
	8.5	Logica MOS: il transistor MOSFET	76
	8.6	Caratteristiche dei circuiti CMOS: vantaggi e svantaggi	80
CAPITOLO	**9**	**Caratteristiche delle porte elettroniche**	85
	9.1	Parametri caratteristici	85
	9.2	Curve di trasferimento	89
	9.3	Fattori di carica	90
	9.4	Livelli di integrazione	92
CAPITOLO	**10**	**Logica combinatoria**	95
	10.1	Forme canoniche	95
	10.2	Mappe di Karnaugh	99
	10.3	Mappe di Karnaugh per cinque o sei variabili	104
	10.4	Analisi di circuiti logici	108
CAPITOLO	**11**	**Circuti controllati da clock**	113

11.1	Alcune definizioni	113
11.2	Flip-Flop o bistabili	117
11.3	Il bistabile RS	117
11.4	Il bistabile di tipo D	120
11.5	Bistabili utilizzati come divisori	123
11.6	Bistabile JK master-slave	128
11.7	Circuiti monostabili e astabili	132

CAPITOLO 1

CONCETTI BASE

Il primo quesito al quale cercheremo di rispondere in questo libro è, nel contempo, semplice e fondamentale. Cosa sono i circuiti digitali? Tale quesito verrà spiegato confrontando circuiti digitali e analogici. In un circuito analogico un segnale di entrata variabile e di forma continua, tensione, corrente, ecc., crea un'uscita anch'essa variabile, di forma continua che è posta in relazione con l'entrata da un'espressione matematica. Per esempio, in un amplificatore si potrebbe scrivere $V_o = A \cdot V_i$, dove V_o e V_i sono le tensioni di entrata e di uscita e A è il guadagno dell'amplificatore.

In un circuito digitale, invece, si assegnano alle variabili di ingresso e uscita soltanto due possibili valori: lo stato "basso" o 0 logico, che è 0 V nella maggior parte dei circuiti, e lo stato "alto" o 1 logico, che molto spesso è una tensione positiva definita. L'uscita di un elemento digitale può assumere soltanto uno di questi due valori in risposta ad una entrata (o più entrate) che avrà anche soltanto uno di questi due valori. Il funzionamento di un elemento digitale per tensioni comprese tra questi due livelli non è definito.

1.1 Simboli di circuiti e stati logici

E' molto deplorevole che non esistano ancora norme internazionali per simbolizzare sia gli elementi logici, comunemente utilizzati in circuiti logici, che

i termini usati per definire gli stati logici. Per aiutare il lettore si riportano di seguito i termini e i simboli più utilizzati per definire i circuiti logici.

FUNZIONE	SIMBOLI			
	BSI	DIN (antico)	ASA	DIN (moderno)
Porta NOT	&			1
Porta AND	&			&
Porta NAND	&			&
Porta OR	1			≥1
Porta NOR	1			≥1
Porta EXOR		e		=1
Porta EX NOR				=1
Flip-flop	Simbolo non definito			J S C K R
Multivibratore monostabile				1

Fig. 1.1 *Termini e simboli utilizzati per definire i circuiti logici.*

SIMBOLI DI ELEMENTI LOGICI

La Fig. 1.1 mostra i simboli utilizzati dal British Standards Institute (BSI), Deutsche Industrie Norm (DIN) e American Standards Association (ASA) per gli elementi logici più comuni. Il lettore potrà osservare che in questo volume si utilizzano le norme americane, per il semplice motivo che questi sono i simboli che si trovano più comunemente nei data book, cioè i libri dove sono riportate le caratteristiche degli elementi logici dichiarate dal costruttore. Le funzioni di questi elementi logici si esamineranno in seguito.

TERMINOLOGIA E SIMBOLI PER STATI LOGICI

Precedentemente ci siamo riferiti ai due stati logici, nominandoli come 1 e 0 logici e anche come "alto" e "basso". Entrambe le terminologie si utilizzeranno nel nostro libro. Normalmente si preferiscono i numeri 1 e 0 alle lettere per simbolizzare gli stati logici alto e basso. Anche noi seguiremo questa norma. In alcune pubblicazioni di origine nordamericana si utilizzano le lettere H e L per simbolizzare "alto" e "basso". Per evitare confusioni è preferibile non utilizzare lettere per simbolizzare stati logici. Una pratica comune è quella di utilizzare il simbolo Ø per lo 0 logico, in modo che non ci sia confusione con la lettera O.

CAPITOLO 2

LA PIASTRA SPERIMENTALE

Tutti i circuiti logici utilizzati in questa piastra sperimentale sono del tipo TTL. Sono stati scelti circuiti di questa famiglia logica in base al loro basso costo, robustezza elettrica e facile acquisizione. Noi, in questo, tratteremo i circuiti logici come "scatole nere" che contengono le funzioni logiche necessarie, senza riferirci alla loro circuiteria interna, dato che questa è di scarso interesse per la comprensione di dette funzioni. Le leggi della logica si applicano ugualmente a tutte le famiglie, anche se i circuiti possono essere diversi. In uno dei prossimi capitoli studieremo le caratteristiche elettriche di due comuni famiglie logiche come sono la TTL e CMOS.

2.1 Fonte di alimentazione

La piastra sperimentale richiede una fonte di alimentazione stabilizzata di 5 V e 150 mA. Questo si ottiene attraverso un rettificatore, filtri di condensatori e un circuito integrato regolatore di tensione, montati nella parte inferiore del circuito stampato della piastra. L'unico collegamento esterno per l'alimentazione si effettua con il secondario di un trasformatore di 8 V e 200 mA, che

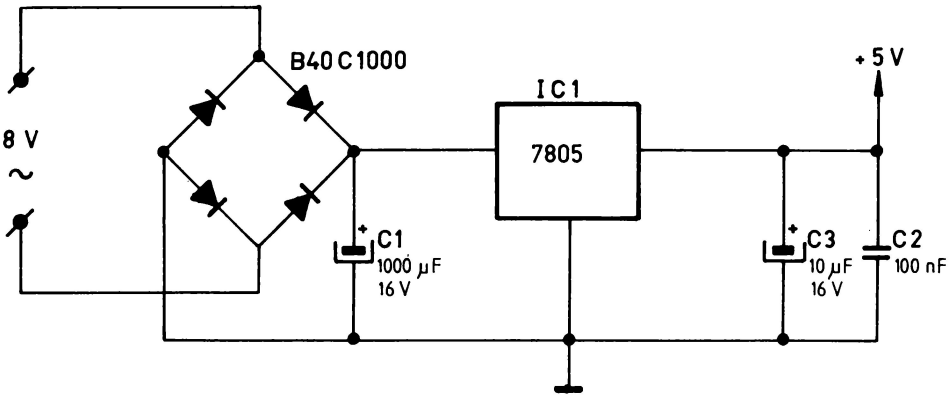


Fig. 2.1 *Fonte di alimentazione della piastra sperimentale.*

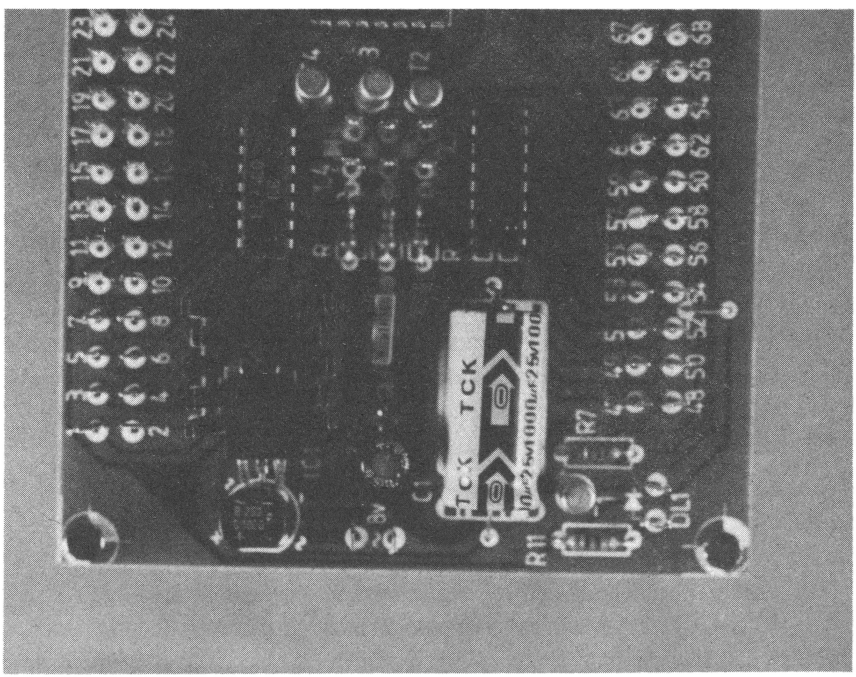


Fig. 2.2 *Particolare della fonte di alimentazione montata sulla piastra.*

si collegherà nei terminali segnati per tale funzione nel circuito stampato.

Tuttavia, l'utilizzo del circuito di alimentazione non è indispensabile, coloro che hanno accesso ad un circuito di alimentazione di laboratorio di 5 V possono adoperarla senza problemi al posto del circuito di Fig. 2.1. In questo caso si omettono i componenti del circuito di alimentazione in detta figura. L'alimentazione che si desidera utilizzare si collegherà in C3, rispettando la polarità. L'utilizzo di batterie non è consigliabile, dato che si esauriscono in poche ore a causa del consumo di corrente del circuito.

2.2 Componenti principali del circuito

I componenti principali della piastra vanno montati nella zona inferiore del circuito stampato e sono i seguenti circuiti integrati logici: due del tipo 7400, che sono porte NAND a due entrate; uno del tipo 7401, quattro porte NAND

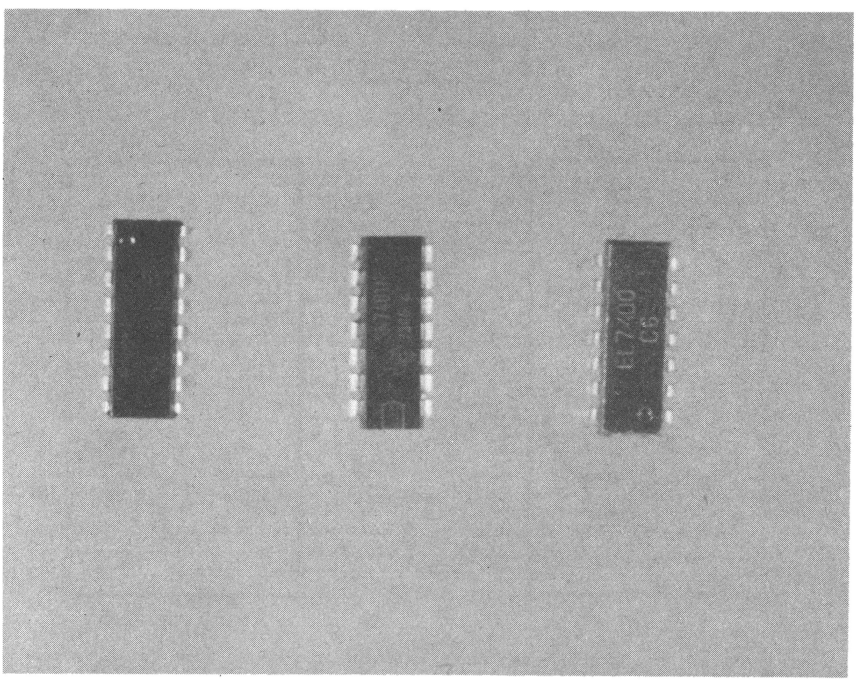


Fig. 2.3 *Circuiti integrati 7400, 7401 e 7476 utilizzati per realizzare le esercitazioni. Sono in logica TTL.*

con due entrate a collettore aperto; e due del tipo 7476, due flip-flop JK.

Il significato dei termini usati verrà chiarito in seguito.

In questo circuito stampato si includono anche quattro LED (diodi emettitori di luce) con un transistore commutatore, collegato come mostrato in Fig.

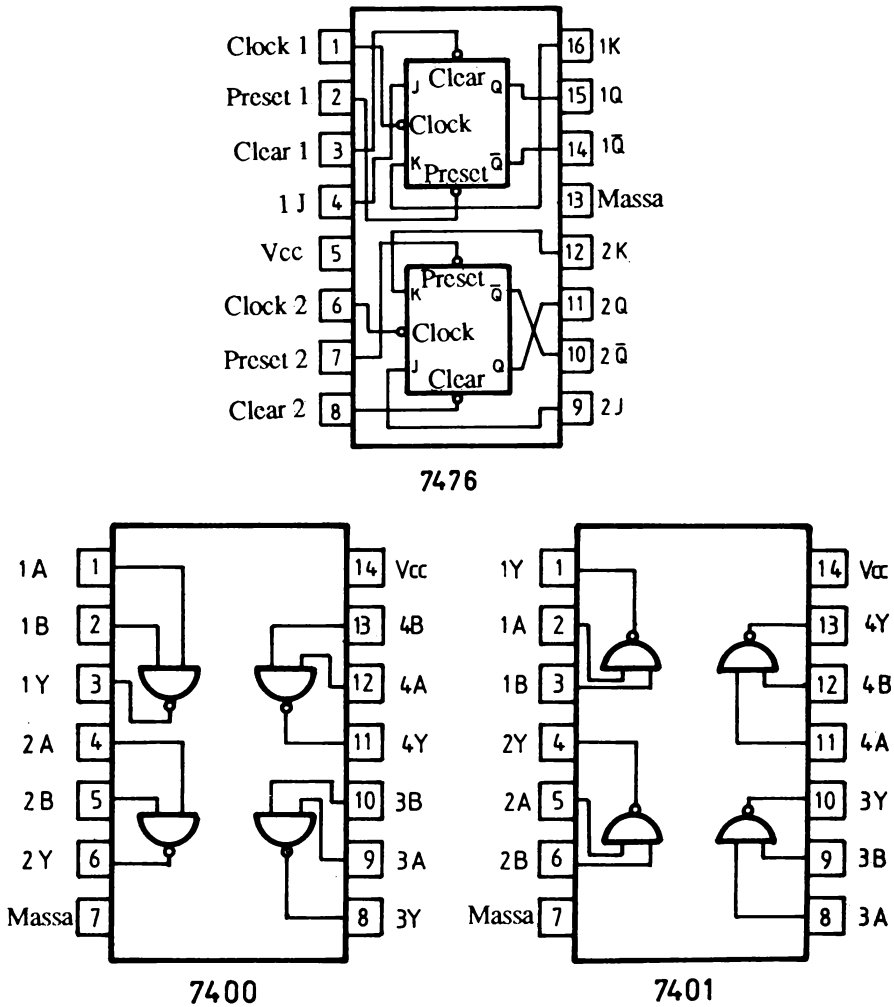


Fig. 2.4 *Particolare della piedinatura dei circuiti integrati della serie TTL utilizzati nella piastra sperimentale.*

2.5. Ogni LED è stato protetto per mezzo di una resistenza limitatrice di 180 Ω, che può essere ridotta a 120 Ω se si considera bassa l'intensità di luce emessa dal diodo.

Quando tutti i componenti sono stati montati e saldati sul circuito stampato, saranno introdotti e saldati i terminali di collegamento corrispondenti all'alimentazione in alternata di 8 V, quelli dei diodi LED e quelli di collegamento tra entrambi i circuiti stampati. Una volta completato il montaggio di questo circuito si realizzerà lo stesso processo con i terminali della zona superiore del circuito stampato, che sono gli unici elementi che possiede. Introducendo nello stesso i diodi LED, attaccandoli con qualche goccia di adesivo plastico si termina il montaggio, potendo passare all'ultima fase che è il collegamento tra entrambe le zone dei circuiti stampati. Questo collegamento è stato realizzato direttamente con cavo piatto (flat cable), come mostrato in Fig. 2.8.

Sia il trasformatore che il collegamento alla rete, il portafusibili, la lampada spia e l'interruttore di messa in funzione saranno montati sulla scatola come meglio conviene. Nella Fig. 2.13 mostriamo a titolo orientativo un piano di foratura del frontale. La zona superiore del circuito stampato sostituisce il coperchio della scatola, per questo motivo è stato previsto di avvitarlo nei fori predisposti per tale fine.

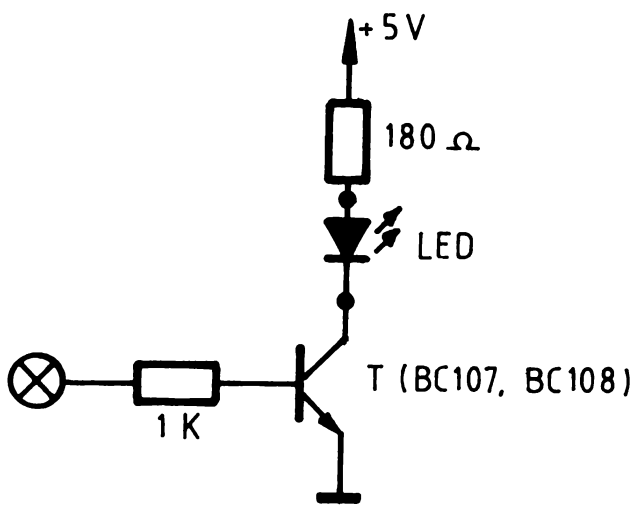


Fig. 2.5 *Circuito di eccitazione dei LED che si utilizzano per visualizzare gli stati logici.*

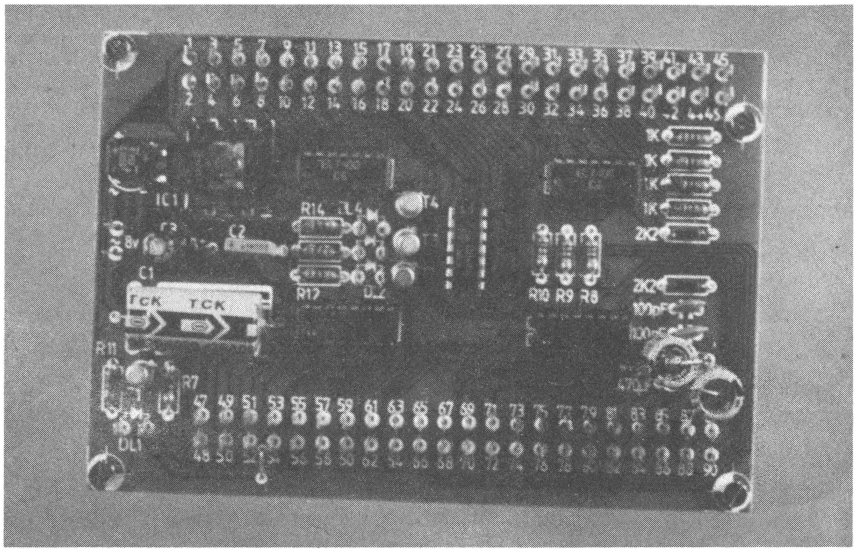


Fig. 2.6 *Circuito inferiore della piastra sperimentale con tutti i suoi componenti montati.*

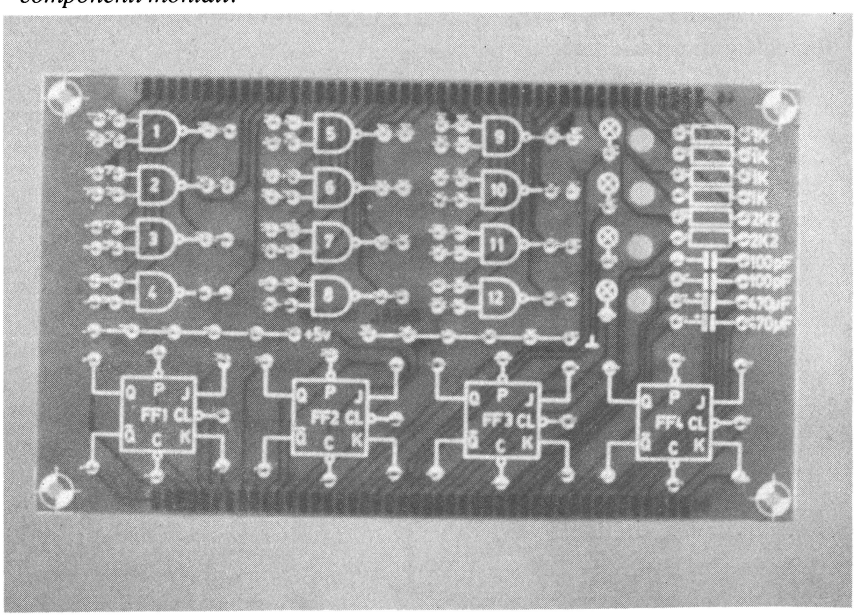


Fig. 2.7 *Circuito superiore della piastra sperimentale con tutte le boccole di collegamento montate. Sostituisce il coperchio della scatola.*

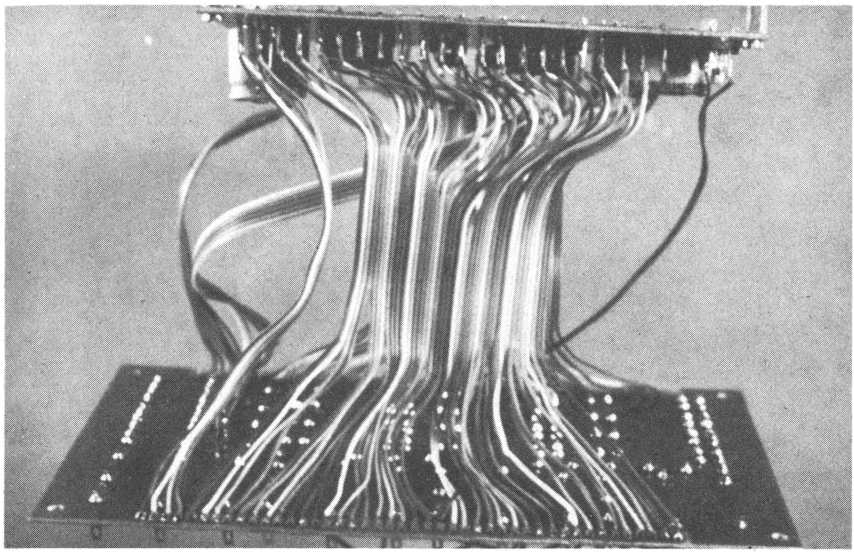


Fig. 2.8 *Particolare di collegamento tra i due circuiti per mezzo di un flat cable.*

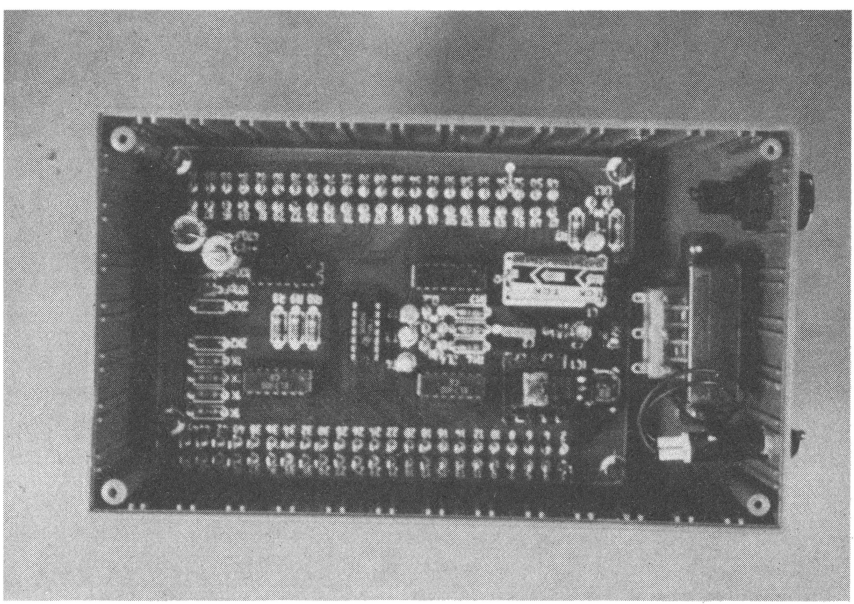


Fig. 2.9 *Disposizione dei diversi elementi della piastra sperimentale sulla scatola scelta.*

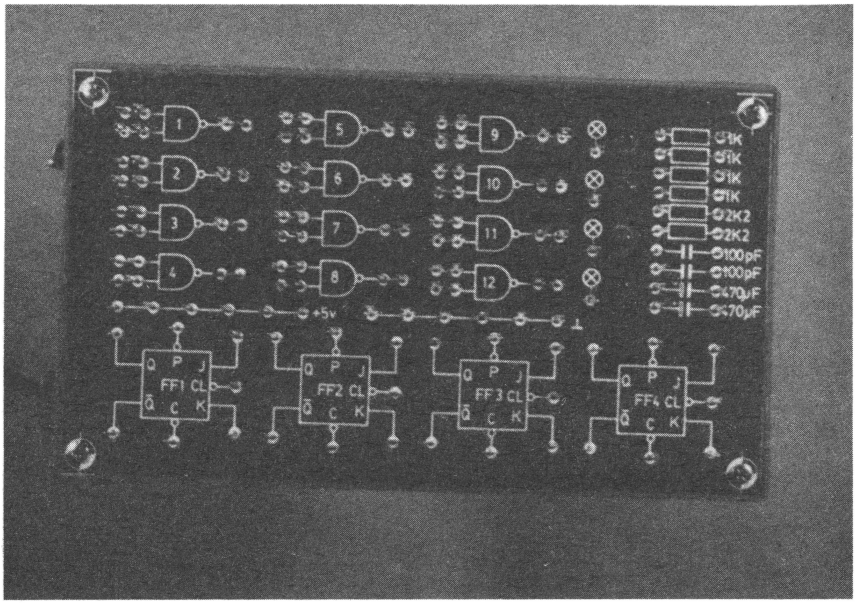


Fig. 2.10 *Aspetto finale della piastra sperimentale. Osservate le serigrafie che vi indicheranno nelle esercitazioni quali porte dovete utilizzare.*

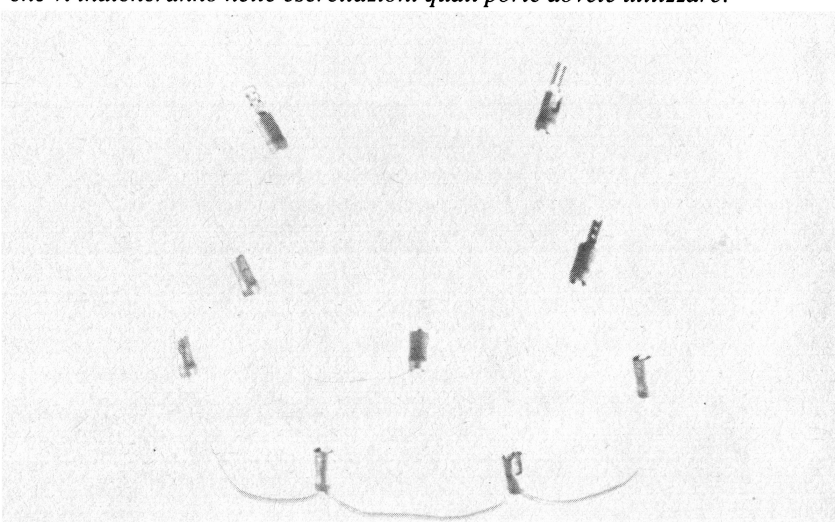


Fig. 2.11 *Se bisogna fare più di un collegamento in un terminale si utilizzeranno cavi doppi, tripli, ecc. come quelli mostrati in figura.*

2.3 Consigli per l'uso

Per facilitare il collegamento delle porte logiche, i collegamenti di ingresso e uscita si realizzeranno in terminali inseriti nel coperchio della piastra. Questi collegamenti si realizzeranno attraverso connettori faston con cavi di diverse lunghezze.

Esistono terminali di collegamento in vari punti, che corrispondono alle piste di alimentazione, massa e + 5 V, ai circuiti che controllano i LED (segnati con ⊗) e a diversi componenti discreti, che verranno utilizzati durante le esercitazioni pratiche. I numeri servono per identificare le porte utilizzate in ogni esercitazione; da 1 a 8 corrispondono le porte dei 7400 e da 9 a 12 quelle del 7401. Per quanto riguarda i flip-flop o bistabili sono numerati da 1 a 4.

Per evitare che il circuito stampato finisca per essere una specie di letto per fachiri, sono stati limitati a due il numero di punti di connessione per ogni porta NAND e a 1 per i terminali di altri componenti. Se si deve fare più di un col-

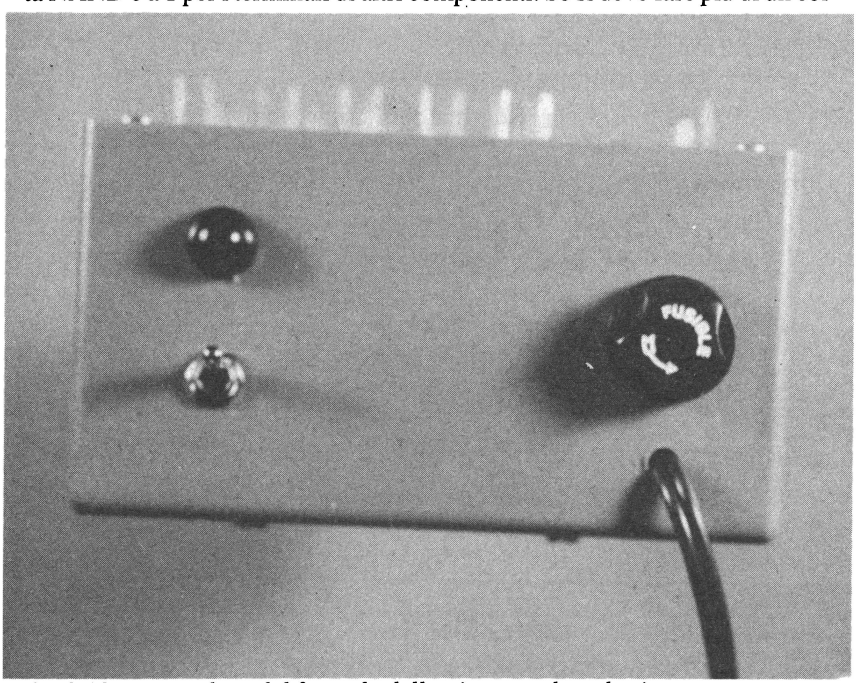


Fig. 2.12 *Particolare del frontale della piastra nel quale si possono notare il portafusibile, la lampada spia, l'interruttore di rete e il cavo di collegamento a rete.*

legamento in un determinato terminale, verranno utilizzati cavi di collegamento doppi, tripli e quadrupli, realizzati come quelli della Fig. 2.11. Si costruiranno utilizzando vari spezzoni di 5 o 10 cm di cavo.

Tutti i componenti utilizzati nella piastra sperimentale saranno della miglior qualità, specialmente i circuiti integrati, che dovranno inoltre essere di una marca conosciuta e affidabile. Nonostante gli integrati TTL utilizzati siano elettricamente robusti, possono verificarsi incidenti; per questo motivo si raccomanda l'utilizzo di zoccoli, facilitando così una loro eventuale sostituzione.

2.4 Elenco di componenti della piastra digitale

Resistenze: (tutte da 1/4 di W)

- 4 di 1 kΩ (marrone, rosso, marrone)
- 2 di 2,2 kΩ (rosso, rosso, rosso)
- R7, R8, R9 e R10 di 1 kΩ (marrone, rosso, marrone)
- R11, R12, R13, R14 di 180 Ω (marrone, grigio, nero)

Condensatori:

- 2 elettrolitici di 470 µF, 16 V, assiali
- 2 ceramici di 100 pF
- C1 elettrolitico di 1.000 µF, 16 V, assiale
- C2 poliestere di 100 nF
- C3 elettrolitico di 10 µF, 16 V, assiale

Semiconduttori:

- IC1, 7805
- IC2, IC4 7400
- IC3 7401
- IC5, IC6 7476
- T1, T2, T3 e T4 BC107 o BC108
- DL1, DL2, DL3 e DL4 LED di 5 mm ø
- Ponte rettificatore B40 C1000

Vari:

- 3 zoccoli per circuito integrato a 14 pin
- 2 zoccoli per circuito integrato a 16 pin
- 240 terminali
- 50 connettori faston
- 0,5 m di cavo piatto da 40 connettori per collegamento di circuiti stampati
- 5 m di cavo per collegamenti vari
- 1 radiatore piccolo per il regolatore
- 4 separatori di 10 mm e 8 viti .
- Trasformatore di 220 V/ 8 V, 200 mA
- Lampada spia di 220 V
- Interruttore miniaturizzato
- Portafusibile

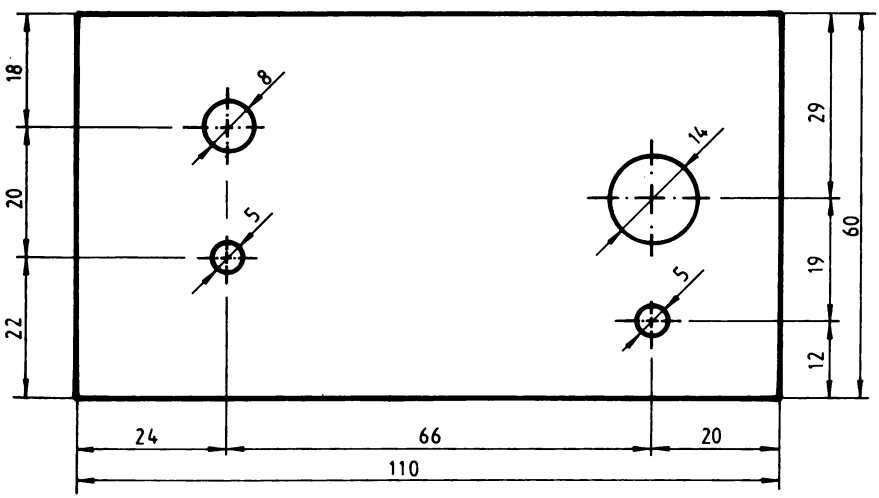


Fig. 2.13 *Piano di foratura del frontale della scatola.*

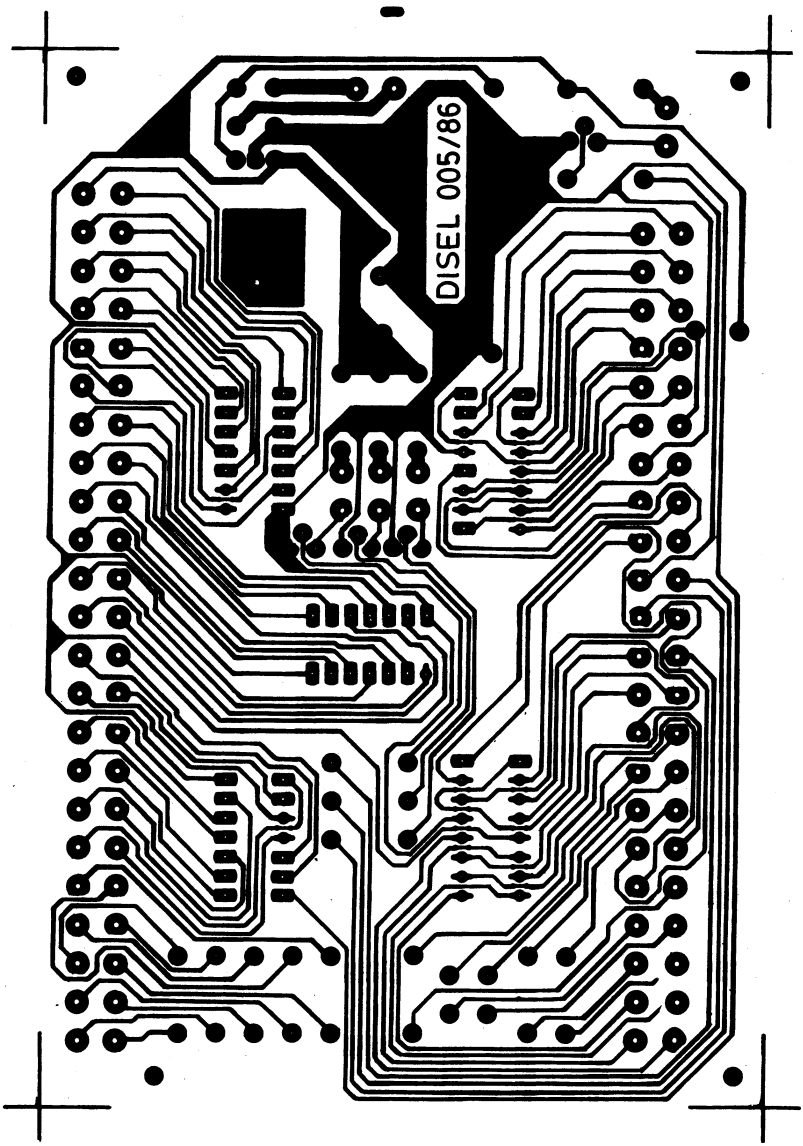


Fig. 2.14 *Circuito stampato della facciata di rame in scala 1 : 1. E' la scheda dove si montano i componenti.*

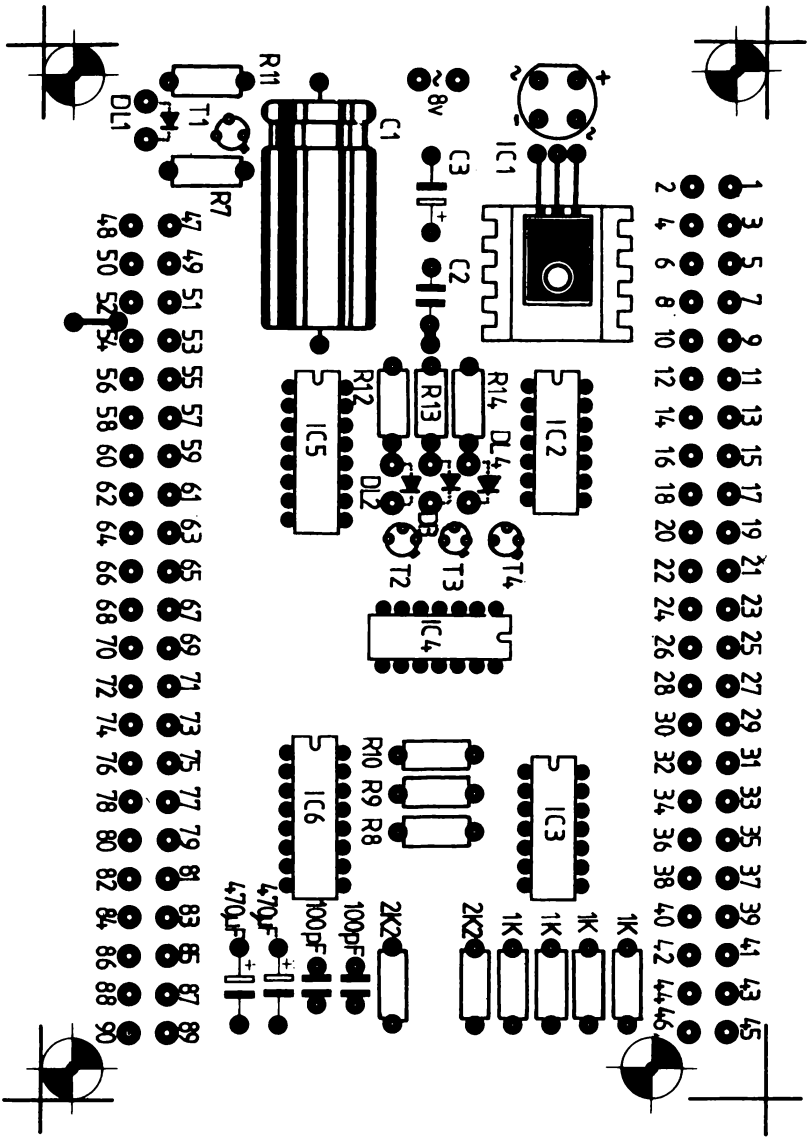


Fig. 2.15 *Serigrafia di componenti del circuito inferiore della piastra.*

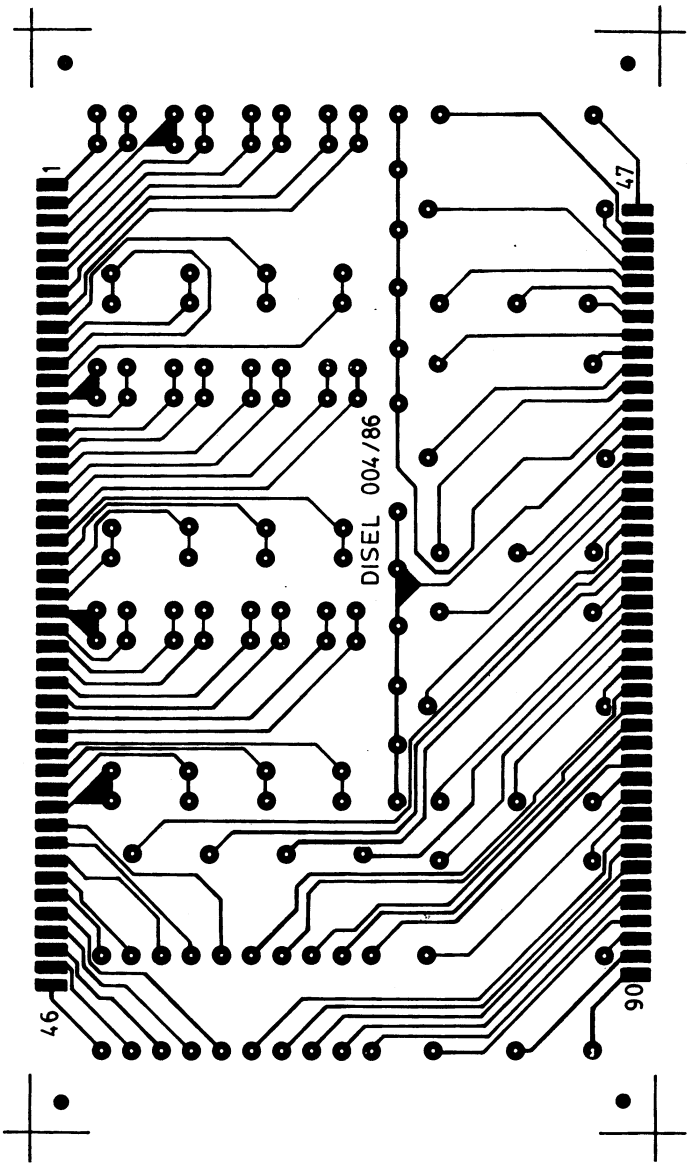


Fig. 2.16 *Circuito stampato della facciata di rame in scala 1 : 1 della scheda inferiore.*

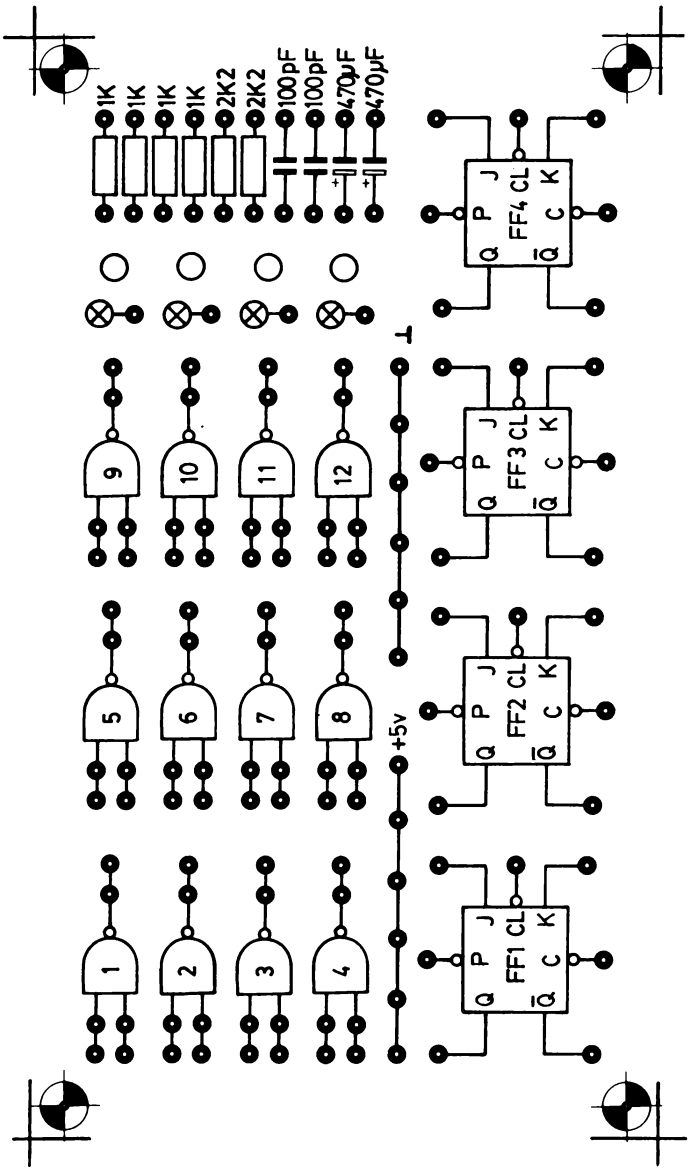


Fig. 2.17 *Serigrafia di componenti del circuito superiore della piastra.*

- Fusibile di 200 mA
- Bulloni e dadi per montare il trasformatore sulla scatola e il regolatore al radiatore
- Scatola POLIBOX RP.4 GA (190 x 110 x 60)

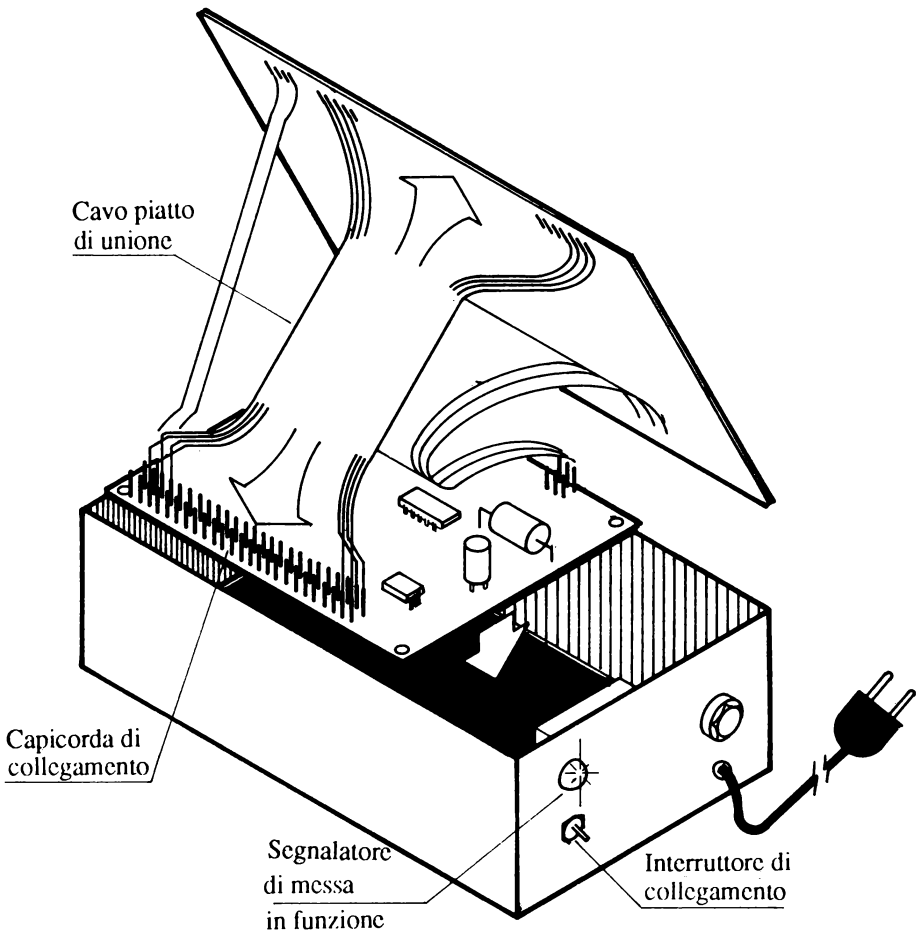


Fig. 2.18 *Disposizione interna della piastra.*

CAPITOLO 3

SISTEMI DI NUMERAZIONE

Le applicazioni dei circuiti logici non si limitano alle funzioni logiche; il campo di attuazione o applicazione è stato ampliato al trattamento e manipolazione di dati numerici in macchine come le calcolatrici, calcolatori, orologi digitali, ecc., apparecchi molto comuni e conosciuti da tutti, così come negli strumenti professionali. Per comprendere l'applicazione dei circuiti logici al trattamento di numeri, analizzeremo alcuni sistemi di numerazione, in particolare il sistema binario.

3.1 Il sistema binario

Tutti siamo abituati, poichè è il sistema che ci hanno insegnato fin da piccoli, ad usare il sistema decimale di numerazione, nel quale disponiamo di dieci simboli (da 0 a 9) con i quali si ottiene un qualsiasi numero inferiore al dieci. Per esprimere un qualunque numero maggiore di nove, utilizziamo alcuni di questi simboli messi in fila, in modo tale che il simbolo più a destra rappresenti le unità, quello che lo precede le decine, il precedente le centinaia, ecc. In questo modo se si scrive 347 si intende $7 \cdot 1 + 4 \cdot 10 + 3 \cdot 100$, oppure $7 \cdot 10^0 + 3 \cdot 10^1 + 4 \cdot 10^2$. Il numero 10 è quello che chiamiamo *base* di questo siste-

ma di numerazione. Qualsiasi simbolo, in un numero decimale, ha un valore uguale al proprio simbolo moltiplicato per dieci elevato ad un certo esponente che dipende dalla posizione nella quale si trova il simbolo nel numero totale.

Ognuno dei simboli che costituiscono un numero qualsiasi non possono assumere più di dieci possibili valori nel sistema decimale, che sono le cifre da 0 a 9.

Certamente, non esiste alcuna ragione per non usare sistemi di numerazione con una base diversa da dieci. Generalizzando possiamo dire che in un sistema di numerazione a base b, un numero N qualsiasi si può rappresentare attraverso un polinomio di potenze della base moltiplicate per un numero appartenente al sistema. In generale si ha:

$$N = an \cdot b^n + an\text{-}1 \cdot b^{n-1} + ... + ai \cdot b^i + ... + a1 \cdot b + a0 \cdot b^0$$

essendo b la base del sistema di numerazione e a_i un numero (simbolo) appartenente al sistema, soddisfa la condizione $0 \leq a < b$.

Per esempio, possiamo inventare alcuni simboli per i numeri da 10 a 15, chiamandoli A=10, B=11, C=12, D=13, E=14, F=15 e cominciare ad utilizzare due simboli (due cifre) per i numeri maggiori di 15.

In questo sistema a base esadecimale (b=16), le cifre 10 rappresenterebbero il numero $1 \cdot 16^1$. Il numero CB5 sarebbe, passando al sistema di numerazione decimale, $12 \cdot 16^2 + 11 \cdot 16^1 + 5 \cdot 16^0 = 3253$.

Il sistema binario è quello a base 2, il quale utilizza soltanto due diversi simboli rappresentati graficamente da 0 e 1 che ricevono il nome di bit. Il numero 1011 in binario si può dunque scrivere:

$$1011 = 1 \cdot 2^3 + 1 \cdot 2 + 1$$

La conversione dal sistema decimale al binario è riportata in tabella 3.1.

D'ora in poi chiameremo bit i "digit" o cifre che compongono un numero binario. La parola bit è l'abbreviazione dell'inglese "binary digit". Si utilizzano anche le abbreviazioni LSB (Least Significant Bit) per il "digit" binario situato all'estrema destra del numero in questione e MSB (Most Significant Bit) per quello situato all'inizio del numero (all'estrema sinistra). In effetti, è chia-

ro che il "digit" di destra indica la differenza di uno nel numero totale e il primo di tutti (MSB) determina una differenza di otto unità in un numero di quattro "digit", 16 in uno di cinque "digit", ecc.

3.2 Conversione da un sistema ad un altro

La conversione o passaggio, di un numero appartenente ad un sistema di numerazione ad un altro è un'operazione abbastanza frequente. Vediamo per ora il passaggio di un numero dal sistema binario al decimale. Per trasformare un numero dal sistema a base 2 al sistema decimale si deve rappresentare tale nu-

Tabella 3.1 *Equivalenze tra sistema decimale e binario.*

Decimale	***Binario***
0	0
1	1
2	10
3	11
4	100
5	101
6	110
7	111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111
16	10000
32	100000
64	1000000

mero per mezzo del polinomio equivalente e quindi sommare tra loro i membri dell'operazione ottenendo così il corrispondente numero in base 10.

Esempio: 11010

$$11010 = 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2 = 16 + 8 + 2 = 26$$

Per trasformare un numero da decimale a binario si divide tale numero per 2 e il resto è il "bit" meno significativo; il quoziente si divide di nuovo per due e il resto ci da il "bit" immediatamente più significativo del precedente e così di seguito fino ad arrivare ad un quoziente 1 che sarà il "bit" più significativo.

Esempio: 26

$$\begin{array}{ll} 26 : 2 = 13 & \text{resto } 0 \\ 13 : 2 = 6 & \text{resto } 1 \\ 6 : 2 = 3 & \text{resto } 0 \\ 3 : 2 = 1 & \text{resto } 1 \\ \multicolumn{2}{c}{26_{10} = 11010} \end{array}$$

Come si può vedere i numeri nel sistema binario richiedono una maggior quantità di "digit" rispetto al sistema decimale, ma questo non costituisce un problema, data l'elevata velocità di risposta dei sistemi elettronici digitali, ottenendo in cambio il vantaggio di operare unicamente su due differenti stati, il che semplifica notevolmente tutte le operazioni.

Tabella 3.2 *Equivalenze tra sistema ottale e binario.*

Ottale	***Binario***
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Altri sistemi di numerazione utilizzati per la loro facilità di conversione al sistema binario sono l'ottale e l'esadecimale.

Il sistema ottale è il sistema a base 8. Per convertire un numero dal sistema ottale al sistema binario basta ricordare l'equivalenza della tabella 3.2.

Per esempio:

$$623_8 = 110010011$$

Per passare dal sistema binario all'ottale, si separano i numeri in gruppi di tre incominciando dal meno significativo.

$$110\ 010\ 011 = 623_8$$

Per passare dal binario all'esadecimale, si separano i numeri in gruppi di quattro iniziando dal meno significativo.

$$10\ 1101\ 0101 = 2D5_{16}$$

Data la facilità di conversione tra sistemi, il sistema ottale e esadecimale si utilizzano per semplicità di scrittura e rappresentazione.

CAPITOLO 4

ALGEBRA DI BOOLE

L'algebra di Boole opera con variabili che hanno soltanto due stati possibili. Queste variabili possono essere diverse, in funzione del campo di applicazione dell'algebra, ma avranno sempre come caratteristica comune la possibilità di avere unicamente due valori.

Da un punto di vista logico una variabile è una proposizione che può essere vera o falsa; da un punto di vista matematico i due unici valori sono 0 e 1.

Da un punto di vista idraulico i due valori possono essere valvola aperta o chiusa, mentre da un punto di vista elettrico possono essere un contatto aperto o chiuso.

Nel campo di applicazione dell'elettronica, si assumono come valori, una tensione alta o bassa. Ad uno di questi livelli viene assegnato il valore 0 ed all'altro il valore 1.

In pratica nell'algebra di Boole si opera con un sistema di numerazione nel quale esistono soltanto lo 0 e l'1. Questo è il sistema binario.

4.1 Funzioni logiche fondamentali

Una funzione dell'algebra di Boole è una variabile binaria il cui valore dipende da un'espressione algebrica nella quale si pongono in relazione tra loro le variabili binarie attraverso le operazioni basilari dell'algebra di Boole.

Una funzione logica viene rappresentata dall'espressione:

$$f = f(a, b, c, ...)$$

Il valore logico di f dipende da quello delle variabili a, b, c,...

Esistono quattro funzioni fondamentali che sono: identità, complemento, somma, prodotto.

Tabella di verità

a	F
0	0
1	1

$F = f(a)$

$F = a$

Rappresentazione

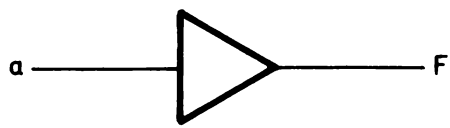


Fig. 4.1 *Simbolo e tabella di verità della funzione identità.*

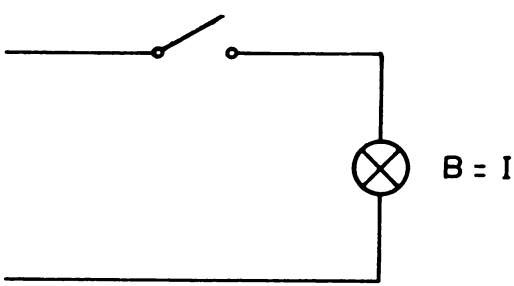


Fig. 4.2 *Analogia elettrica della funzione identità.*

Funzione Identità

Si dice che due variabili sono uguali quando esiste una corrispondenza biunivoca (totale) tra di loro, cioè, quando una è vera, anche l'altra è vera e viceversa.

Per rappresentare questa funzione matematica si utilizza il segno uguale (a = b).

Insieme alle funzioni logiche solitamente si fornisce anche una tabella, chiamata tabella di verità, nella quale viene rappresentata la funzione. Nella tabella di questa funzione risulta che quando "a" vale 0, F assume il valore 0 e quando "a" vale 1, F assume il valore 1.

Utilizzando un'analogia elettrica, se assegnamo ad una lampada spenta il valore 0, ad una accesa il valore 1 e ad un contatto aperto il valore 0, ad un contatto chiuso il valore 1, possiamo rappresentare la funzione identità come mostrato in Fig. 4.2. Quando il contatto è aperto (I=0) la lampada è spenta (B=0);quando il contatto è chiuso (I=1) la lampada è accesa (B=1).

Rappresentazione

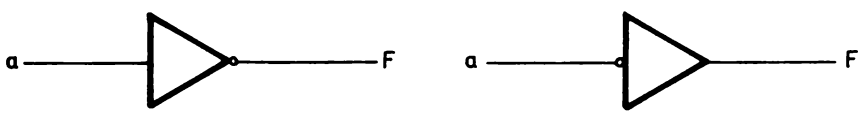


Tabella di verità

a	F
0	1
1	0

$F = \overline{a}$

Fig. 4.3 *Simboli e tabella di verità della funzione complemento.*

Funzione Complemento o Funzione NOT

Viene chiamata anche funzione "no" o funzione negazione. Si tratta di quella funzione nella quale una variabile assume il valore opposto all'altra. La funzione complemento si rappresenta con una barra sopra la variabile : $a = \bar{b}$.

Secondo la tabella di verità quando la variabile assume il valore 0 la funzione vale 1 e quando la variabile vale 1 la funzione vale 0. In generale la rappresentazione della funzione complemento è un cerchio e la porta che realizza

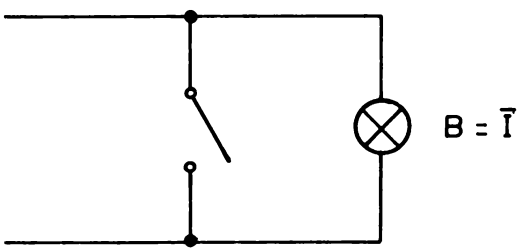


Fig. 4.4 *Analogia elettrica della funzione complemento.*

Tabella di verità

a	b	S
0	0	0
0	1	1
1	0	1
1	1	1

Rappresentazione

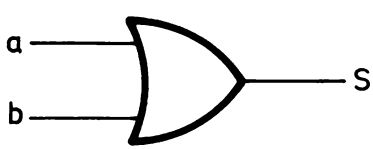


Fig. 4.5 *Simbolo e tabella di verità della funzione OR.*

questa funzione viene denominata porta invertente, di conseguenza, la funzione complemento viene chiamata anche inversione.

Utilizzando la precedente analogia elettrica e assegnando uno 0 a contatto aperto e un 1 a contatto chiuso, uno 0 a lampada spenta e un 1 a lampada accesa, la funzione complemento si può rappresentare come in Fig. 4.4. Quando il contatto è aperto (0) la corrente circola per la lampada e questa è accesa (1); quando il contatto è chiuso (1) la corrente non circola e la lampada è spenta (0).

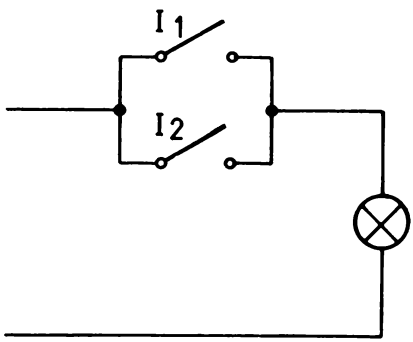


Fig. 4.6 *Analogia elettrica della funzione OR.*

Tabella di verità

a	b	p
0	0	0
0	1	0
1	0	0
1	1	1

Rappresentazione

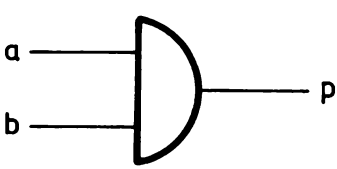


Fig. 4.7 *Simbolo e tabella di verità della funzione AND.*

La funzione complemento ha due importanti proprietà:

1) Reciprocità: se una variabile è il complemento di un'altra, quest'ultima è il complemento della prima:

$$a = \bar{b} \Leftrightarrow b = \bar{a}$$

2) Duplice negazione: la duplice negazione di una variabile riproduce la va-

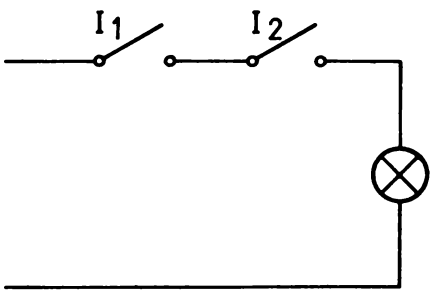


Fig. 4.8 *Analogia elettrica della funzione AND.*

Tabella di verità

a	b	S
0	0	1
0	1	0
1	0	0
1	1	0

Rappresentazione

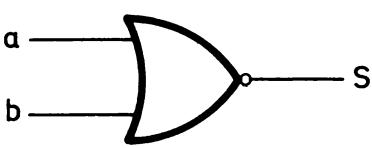


Fig. 4.9 *Simbolo e tabella di verità della funzione NOR.*

riabile originale.

$$(\bar{\bar{a}}) = a$$

Funzione OR:

Viene anche chiamata funzione "o", somma e unione. E' una funzione che è vera quando sono vere una o entrambe le variabili.

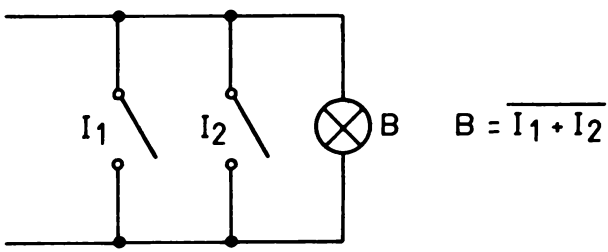


Fig. 4.10 *Analogia elettrica della funzione NOR.*

Tabella di verità

a	b	p
0	0	1
0	1	1
1	0	1
1	1	0

Rappresentazione

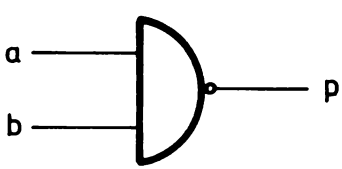


Fig. 4.11 *Simbolo e tabella di verità della funzione NAND.*

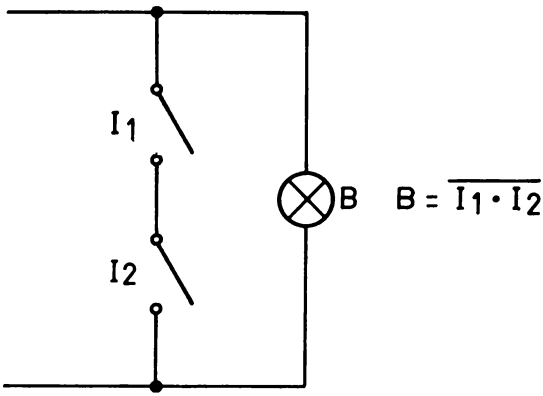


Fig. 4.12 *Analogia elettrica della funzione NAND.*

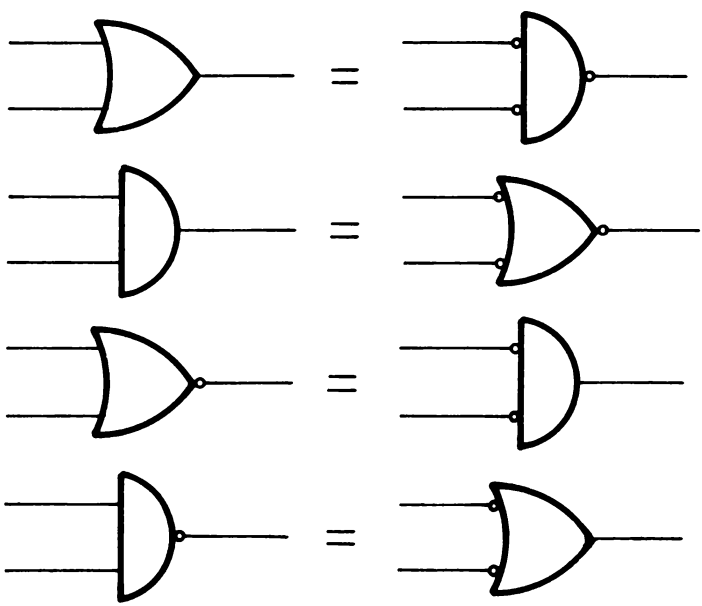


Fig. 4.13 *Equivalenze grafiche del teorema di De Morgan.*

Per rappresentare da un punto di vista matematico questa funzione si utilizza il segno "più" (+):

$$S = a + b$$

Secondo la tabella di verità per far sì che la funzione S valga 1 basta che una qualsiasi delle variabili abbia il valore 1; vale 0 quando tutte le variabili valgono 0.

Utilizzando l'analogia elettrica le variabili si rappresentano attraverso contatti in parallelo.

Secondo la Fig. 4.6 basta che sia chiuso uno qualunque dei due contatti rappresentati per far sì che la corrente circoli nella lampada e quindi si accenda, sarà spenta soltanto nel caso in cui tutti i contatti siano aperti.

Le proprietà della funzione OR sono:

1) L'elemento neutro è lo 0: $a + 0 = a$
2) La somma di una variabile qualunque con 1, vale sempre 1: $a + 1 = 1$

Tabella di verità

a	b	F
0	0	0
0	1	1
1	0	1
1	1	0

Rappresentazione

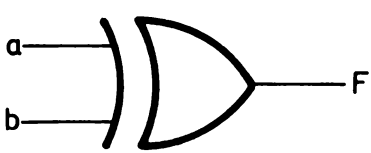


Fig. 4.14 *Simbolo e tabella di verità della funzione OR esclusiva.*

3) Somma con sé stesso: $a + a = a$
4) La somma di una variabile con il suo complemento dà come risultato sempre 1: $a + \overline{a} = 1$
5) Proprietà commutativa: $a + b = b + a$
6) Proprietà associativa: $a + (b + c) = (a + b) + c$

Funzione AND

Viene chiamata anche funzione "e", prodotto e intersezione. È una funzione che è vera soltanto quando sono vere tutte le variabili. Per rappresentare questa funzione matematicamente si utilizza il segno "per" (·). $P = a \cdot b$.

Secondo la tabella di verità, per far sì che la funzione P valga 1, è necessario che tutte le variabili assumano valore 1.

Utilizzando l'analogia elettrica le variabili si rappresentano attraverso contatti in serie.
Per far sì che la lampada B si accenda, è necessario che i due contatti i_1 e i_2 siano chiusi.

Le proprietà della funzione AND sono:

1) L'elemento neutro è l'1: $a \cdot 1 = a$
2) Il prodotto di una variabile qualunque per 0 vale sempre 0: $a \cdot 0 = 0$
3) Prodotto per sè stesso: $a \cdot a = a$
4) Il prodotto di una variabile qualunque per il suo complemento vale sempre 0: $a \cdot \overline{a} = 0$
5) Proprietà commutativa: $a \cdot b = b \cdot a$
6) Proprietà associativa: $a \cdot (b \cdot c) = (a \cdot b) \cdot c$

4.2 Combinazioni tra funzioni basilari

Quando una funzione OR viene seguita da una funzione complemento la funzione risultante si chiama NOR ($S = \overline{(a + b)}$).
Quando una funzione AND viene seguita da una funzione complemento la funzione risultante si denomina NAND ($P = \overline{(a \cdot b)}$).

Proprietà delle combinazioni di somme e prodotti:

1) Distributiva:

$$(a + b) \cdot c = (a \cdot c) + (b \cdot c)$$
$$(a \cdot b) + c = (a + c) \cdot (b + c)$$

2) Legge di assorbimento:

$$a \cdot (a + b) = a$$
$$a + (a \cdot b) = a$$

3) Legge di espansione:

$$(a + b) \cdot (a + \overline{b}) = a$$
$$(a \cdot b) + (a \cdot \overline{b}) = a$$

Come si può osservare, le precedenti proprietà mantengono tutte la loro validità, anche se l'operazione somma e prodotto e gli elementi 0 e 1 si scambiano tra di loro. Questo fatto è chiamato principio di dualità.

4.3 Teoremi di De Morgan

I teoremi di De Morgan costituiscono due importanti proprietà di grande utilità nella logica elettronica. Si esprimono algebricamente attraverso le due equazioni che seguono:

Tabella 4.1 *Tabella di verità per* $\overline{a \cdot b} = \overline{a} + \overline{b}$.

b	**a**	**a · b**	$\overline{\mathbf{a \cdot b}}$	$\overline{\mathbf{b}}$	$\overline{\mathbf{a}}$	$\overline{\mathbf{a + b}}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

1) $$\overline{a+b} = \bar{a} \cdot \bar{b}$$
2) $$\overline{a \cdot b} = \bar{a} + \bar{b}$$

L'applicazione pratica è immediata: l'equazione 1) ci dice che possiamo ottenere una funzione NOR invertendo (negando) le due entrate di una funzione AND, mentre la 2) ci permette di ottenere una NAND invertendo le due entrate di una OR.

L'inversione delle equazioni 1) e 2) ci forniscono due equazioni in più:

3) $$a + b = \overline{\bar{a} \cdot \bar{b}}$$
4) $$a \cdot b = \overline{\bar{a} + \bar{b}}$$

Secondo l'equazione 3) possiamo ottenere una funzione OR invertendo le entrate di una porta NAND, mentre secondo l'equazione 4) potremo ottenere una AND invertendo le entrate di una NOR.

La validità di questi teoremi si può provare con circuiti elettrici, utilizzando le analogie già viste; l'unico inconveniente è che bisogna aggiungere porte logiche NOT per invertire gruppi di variabili (le variabili semplici in questo caso interruttori o contatti si invertono cambiando i termini "aperto" e "chiuso"). Possiamo utilizzare anche altri metodi, per esempio i diagrammi di Venn. Risolviamo un caso con il metodo delle tabelle di verità. In esso si dimostra l'equazione 2), si può vedere l'uguaglianza delle colonne $\overline{a \cdot b}$ e $\overline{a + b}$ come stabilisce l'equazione.

Può risultare interessante per il lettore costruire da sè tabelle di verità simili, per poter illustrare le altre equazioni.

Tabella 4.2 *In questa tabella si raccolgono tutti i possibili casi di applicazione dei teoremi di De Morgan con due variabili.*

OR	NAND	AND	NOR
$\bar{a} + \bar{b}$	$\overline{a \cdot b}$	$\bar{a} \cdot \bar{b}$	$\overline{a + b}$
$a + \bar{b}$	$\overline{\bar{a} \cdot b}$	$a \cdot \bar{b}$	$\overline{\bar{a} + b}$
$\bar{a} + b$	$\overline{a \cdot \bar{b}}$	$\bar{a} \cdot b$	$\overline{a + \bar{b}}$
$a + b$	$\overline{\bar{a} \cdot \bar{b}}$	$a \cdot b$	$\overline{\bar{a} + \bar{b}}$

4.4 Funzione "OR" esclusivo o "EX-OR"

Si tratta di una funzione in cui se le due variabili sono uguali la funzione vale 0 e se sono diverse vale 1. Per la rappresentazione matematica si utilizza il segno "più" con intorno un cerchio ($F = a \oplus b$). La funzione "EX-OR" si può rappresentare matematicamente attraverso combinazioni di somme e prodotti.

$$a \oplus b = a \cdot \overline{b} + \overline{a} \cdot b = (a + b) \cdot (\overline{a} + \overline{b})$$

Questa funzione presenta le seguenti proprietà derivate dalle proprietà di somma e prodotto.

Al complemento di questa funzione (Exclusive NOR) viene dato il nome di

$$a \oplus b = \overline{a \oplus \overline{b}} = \overline{\overline{a} \oplus b} = \overline{a} \oplus \overline{b}$$

funzione coincidenza, dato che vale 1 quando entrambi le variabili coincidono e vale 0 quando le due variabili sono diverse.

CAPITOLO 5

LOGICA ELETTRONICA

Sino ad ora abbiamo visto l'algebra di Boole da un punto di vista esclusivamente matematico. Il nostro obbiettivo adesso è quello di passare allo studio della stessa dal punto di vista elettronico, definendo una serie di elementi o componenti capaci di sviluppare le funzioni già spiegate.

5.1 Elettronica digitale

Da un punto di vista elettronico le variabili assumeranno la forma di una tensione che può essere alta o bassa. In questo modo si definiscono due livelli di tensione, ad uno di loro viene assegnato lo zero e all'altro l'uno.

Si ottengono così due tipi di logica:

- *Logica positiva:* quando si assegna l'1 al livello alto e lo 0 al livello basso.
- *Logica negativa:* quando si assegna lo 0 al livello alto e l'1 al livello basso.

Come si può vedere nelle tabelle di verità delle Figg. 5.1 e 5.2 le tabelle di tensione e di livelli sono uguali, mentre la tabella di zeri e uni è passata da una funzione AND a una funzione OR.

Pertanto c'è una corrispondenza tra la logica positiva e quella negativa; un circuito che in un tipo di logica realizza la funzione AND nell'altro tipo realizza la funzione OR.

È bene chiarire che in diversi libri che trattano questo argomento o che sono in rapporto con esso la lettera L, che in inglese è l'iniziale di Low (basso), serve per assegnare il livello basso e la lettera H per assegnare il livello alto, dall'inglese High (alto).

ELEMENTI UTILIZZATI

Dal punto di vista logico viene utilizzata una proposizione che può essere vera o falsa, dal punto di vista matematico si utilizza un numero che può essere zero o uno, dal punto di vista elettrico si utilizza un contatto che può essere aperto o chiuso. Pertanto nell'elettronica sono necessari elementi che abbiano due stadi molto definiti per poter elaborare i due livelli di tensione, alto o basso, sui quali si basa la logica. Questi elementi sono normalmente il diodo, che può condurre o no la corrente ed il transistor, che può essere in stato di interdizione o di saturazione. Di conseguenza le porte che realizzano le funzioni logiche saranno composte principalmente da diodi e transistor.

Tabella 5.1 *Tabelle di verità della funzione AND in logica positiva.*

a	b	F	
0	0	0	V
0	+V	0	V
+V	0	0	V
+V	+V	+V	V

Tabella delle tensioni

a	b	F
L	L	L
L	H	L
H	L	L
H	H	H

Tabella dei livelli

a	b	F
0	0	0
0	1	0
1	0	0
1	1	1

Tabella di zeri e uni

CAPACITA' DI INGRESSO E USCITA

Viene chiamata capacità di ingresso di una porta il numero di entrate della porta stessa.

Viene chiamata capacità d'uscita (FAN-OUT) di una porta il numero di ingressi che può pilotare l'uscita della stessa; il che dipenderà dall'intensità che richiedono gli ingressi e da quella che è in grado di fornire l'uscita. La capacità di uscita di una porta non è, pertanto, solo funzione della propria porta, ma anche del tipo di porte alle quali viene collegata.

Tabella 5.2 *Tabelle di verità della funzione AND in logica negativa.*

a	b	F	
0	0	0	V
0	+V	0	V
+V	0	0	V
+V	+V	+V	V

Tabella delle tensioni

a	b	F
L	L	L
L	H	L
H	L	L
H	H	H

Tabella dei livelli

a	b	F
1	1	1
1	0	1
0	1	1
0	0	0

Tabella di zeri e uni

CAPITOLO 6

ESERCIZI PRATICI SULL'ALGEBRA DI BOOLE

Descriviamo ora una serie di esercizi pratici direttamente legati alle proprietà e alle leggi dell'algebra di Boole. Innanzitutto vi diamo alcuni consigli molto utili destinati ad eliminare qualsiasi dubbio che possa verificarsi durante il montaggio.

6.1 Consigli per la realizzazione delle esercitazioni

1 . La numerazione utilizzata nel testo per le porte NAND è la stessa utilizzata sul circuito stampato con la serigrafia corrispondente. Questo facilita enormemente la realizzazione pratica di qualsiasi schema.

2 . Collegare un punto a + 5 V significa metterlo a livello alto (1 logico), collegarlo a 0 V significa metterlo a livello basso (0 logico).

3 . Gli stati logici possono essere visualizzati attraverso i diodi LED controllati dai transistor presenti sul circuito stampato. Per esaminare lo stato logico di un terminale basta collegarlo al morsetto segnato con ⊗ nel circuito di con-

trollo di uno dei LED. Se lo stato logico del terminale è 1 il diodo si illuminerà, se è 0 rimarrà spento. Negli schemi vengono indicati con ⊗ quei punti il cui stato logico deve essere visualizzato.

4 . I collegamenti tra terminali si realizzano con i cavi di collegamento preventivamente preparati.

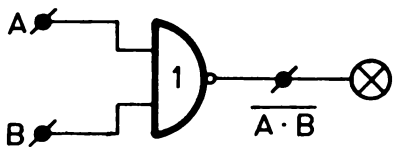


Tabella di verità

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 6.1 *Schema di collegamento e tabella di verità dell'esercitazione 2.*

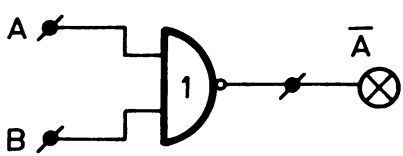


Tabella di verità

A	$\overline{A}$
0	1
1	0

Fig. 6.2 *Schema di collegamento e tabella di verità dell'esercitazione 3.*

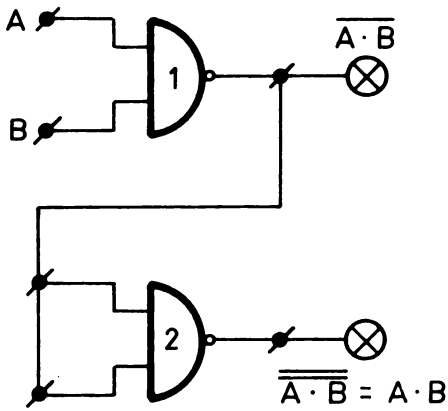


Tabella di verità

A	B	$\overline{A \cdot B}$	$\overline{\overline{A \cdot B}}$
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

Fig. 6.3 *Schema di collegamento e tabella di verità dell' esercitazione 4.*

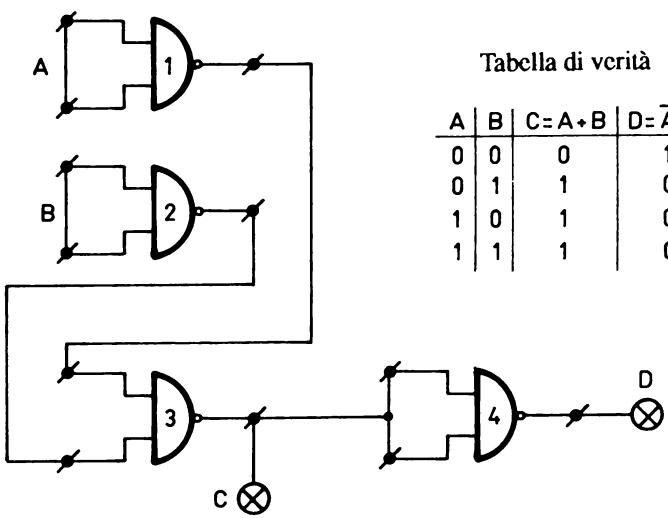


Tabella di verità

A	B	C=A+B	D=$\overline{A+B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Fig. 6.4 *Schema di collegamento e tabella di verità dell' esercitazione 5.*

5 . I circuiti devono essere verificati attentamente prima di applicare tensione per evitare guasti o risultati errati.

ESERCITAZIONE 1. COMPORTAMENTO DELLE ENTRATE FLUTTUANTI

I . Applicare una tensione di 5 V (1 logico) ad entrambi gli ingressi della porta numero 1 e collegare l'uscita ad uno degli indicatori LED ⊗. Il LED indicherà stato logico 0, sarà quindi spento.

II . Staccare un ingresso, lo stato logico del LED sarà lo stesso di prima.

III . Mettere a 0 V (0 logico) ingresso scollegato, il LED indicherà adesso stato logico 1.

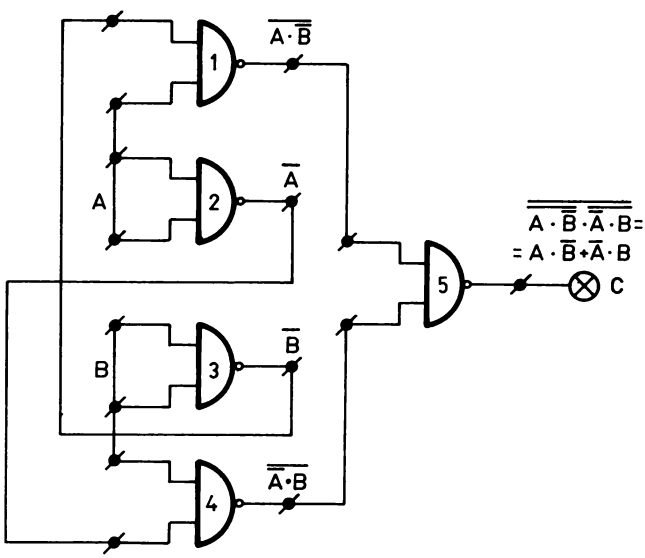


Tabella di verità

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

Fig. 6.5 *Schema di collegamento e tabella di verità dell'esercitazione 6.*

IV . La conclusione è che gli ingressi non connessi in logica TTL funzionano come se fossero a livello logico 1.

ESERCITAZIONE 2. LA FUNZIONE NAND

I . In Fig. 6.1 abbiamo rappresentato la porta NAND N1. Applicare agli ingressi di questa porta tutte le possibili combinazioni di stati e ricavarne la tabella di verità di Fig. 6.1.

II . La conclusione è che l'uscita di una porta NAND è a 0 logico quando entrambi gli ingressi sono a 1 logico.

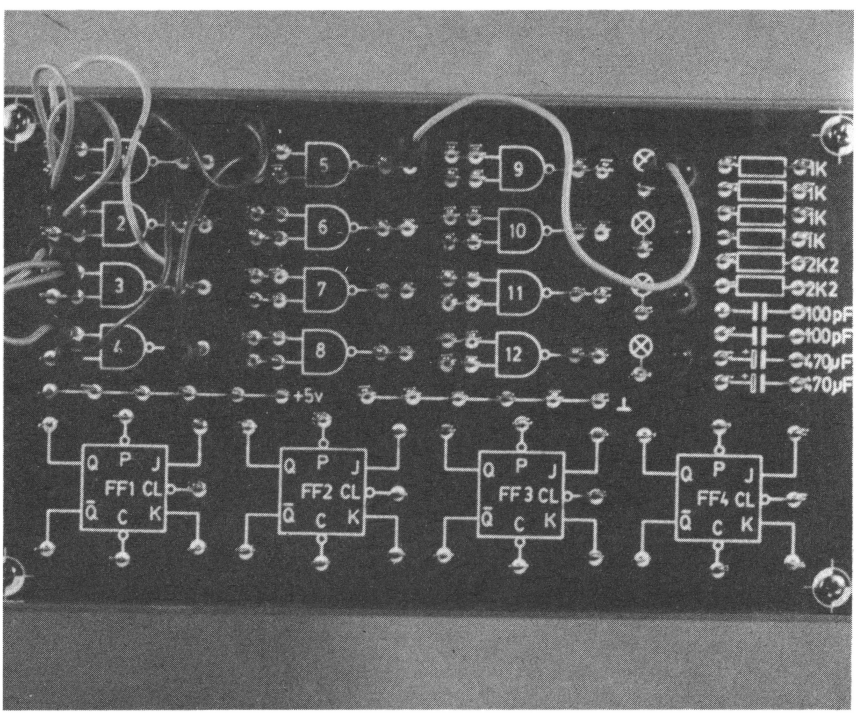


Fig. 6.6 *Montaggio su piastra sperimentale dell' esercitazione 6.*

ESERCITAZIONE 3. LA PORTA NAND COME PORTA INVERTENTE

I . Qualsiasi porta NAND può essere utilizzata come porta invertente semplicemente collegando tra loro i due ingressi. Unire gli ingressi di N1 e verificare gli stati logici che presenta l'uscita per valori di ingresso 0 e 1.

II . Collegando l'entrata B di N1 a + 5 V e lasciando l'ingresso A scollegato funzionerà ugualmente come porta invertente.

III . La conclusione è che una porta NAND può funzionare come porta invertente collegando gli ingressi tra loro oppure utilizzando un solo ingresso e ponendo l'altra a valore logico 1. Tuttavia non è conveniente lasciare ingressi scollegati poichè possono cambiare stato a causa di rumori elettrici. Questo in un progetto definitivo potrebbe dar luogo ad errori di funzionamento difficilmente individuabili.

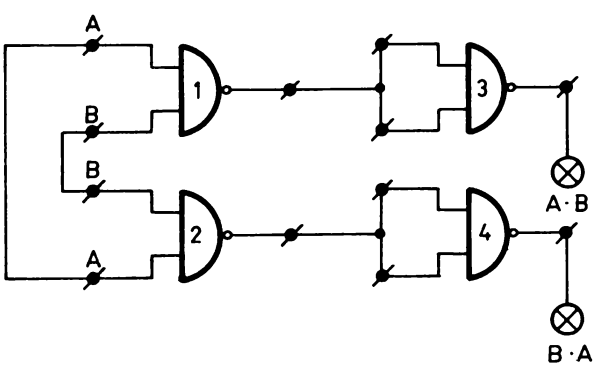


Tabella di verità

A	B	A·B	B·A
0	0	0	0
0	1	0	0
1	0	0	0
1	1	1	1

Fig. 6.7 *Schema di collegamento e tabella di verità della parte I dell'esercitazione 7.*

ESERCITAZIONE 4. LA FUNZIONE NAND

I . Montare il circuito di Fig. 6.3 e applicare agli ingressi tutte le possibili combinazioni di stati logici. Si otterrà la tabella di verità di Fig. 6.3.

II . Da tutto ciò è possibile dedurre che si può ottenere una funzione AND utilizzando una porta NAND e una porta invertente; detto in altro modo: la funzione AND è l'inverso della funzione NAND.

ESERCITAZIONE 5. FUNZIONI OR E NOR CON PORTE NAND

I . Realizzare lo schema di Fig. 6.4 e applicare tutte le possibili combinazioni di stati logici agli ingressi A e B; si otterrà la tabella di verità di Fig. 6.4.

Tabella di verità

A	B	A+B	B+A
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

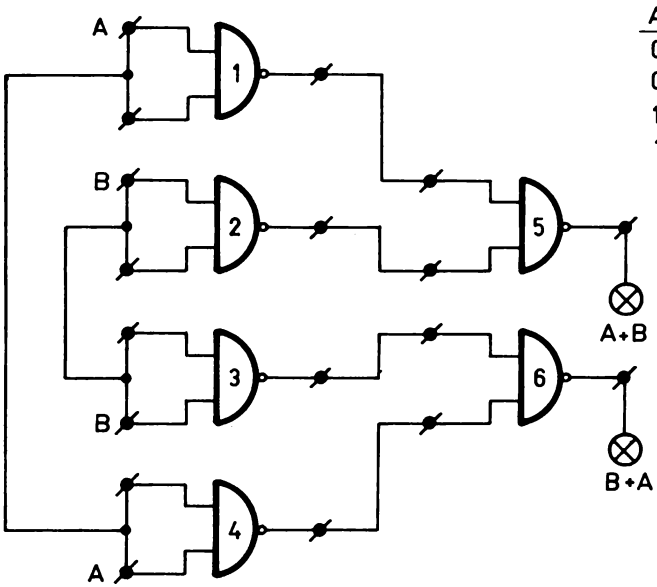


Fig. 6.8 *Schema di collegamento e tabella di verità della parte II dell' esercitazione 7.*

II . La colonna C della tabella di verità corrisponde alla funzione logica OR e la colonna D alla NOR.

Concludiamo dicendo che con tre porte NAND si può ottenere una porta OR, e con quattro NAND una porta NOR.

ESERCITAZIONE 6. LA FUNZIONE OR ESCLUSIVA

I . Montare il circuito di Fig. 6.5. Applicare tutte le possibili combinazioni di stati logici alle entrate, si otterrà la tabella di verità di Fig. 6.5.

II . La tabella di verità ottenuta è la stessa della funzione EX-OR che può anche essere definita con l'espressione booleiana

$$\text{EX-OR} = A \cdot \overline{B} + \overline{A} \cdot B.$$

ESERCITAZIONE 7. LA LEGGE COMMUTATIVA

I . Collegare il circuito di Fig. 6.7. Applicare tutte le possibili combinazioni di stati logici alle entrate, si otterrà la tabella di verità con le uscite $A \cdot B$ e $B \cdot A$. Da questa tabella giungiamo alla conclusione che il cambiamento dei valori in ingresso non ha effetto sull'uscita.

II . Collegare il circuito di Fig. 6.8. Applicare tutte le possibili combinazioni di stati logici alle entrate, si otterrà la tabella di verità con le uscite $A + B$ e $B + A$. Come nel caso precedente il cambiamento dei valori in ingresso non influenza l'uscita.

ESERCITAZIONE 8. LA LEGGE DI COMPLEMENTO

I . Montare il circuito di Fig. 6.9. Applicare tutte le possibili combinazioni di stati logici all'entrata, si otterrà la tabella di verità di Fig. 6.9.

II . La conclusione è che l'unione di una variabile con il suo complemento dà come risultato 0. Allo stesso modo si può provare che la separazione logica di una variabile A con il suo complemento $\overline{A}$ dà come risultato 1.

ESERCITAZIONE 9. LA FUNZIONE NAND CON USCITA A COLLETTORE APERTO

I . In Fig. 6.10 si può vedere la porta N9 che non ha resistenza interna sull'uscita, è una porta a colettore aperto. Collegando l'estremo libero della resistenza R a 5 V otterremo la funzione NAND già analizzata precedentemente.

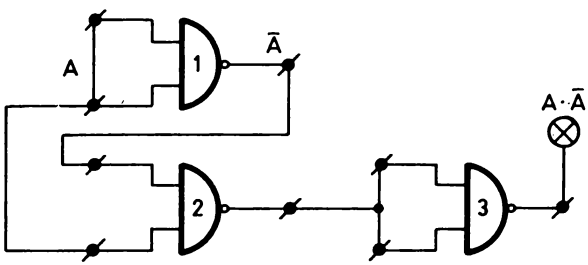


Tabella di verità

A	Ā	A·Ā
0	1	0
1	0	0

Fig. 6.9 *Schema di collegamento e tabella di verità dell'esercitazione 8.*

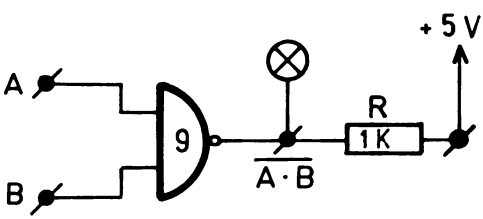


Tabella di verità

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 6.10 *Schema di collegamento e tabella di verità dell'esercitazione 9.*

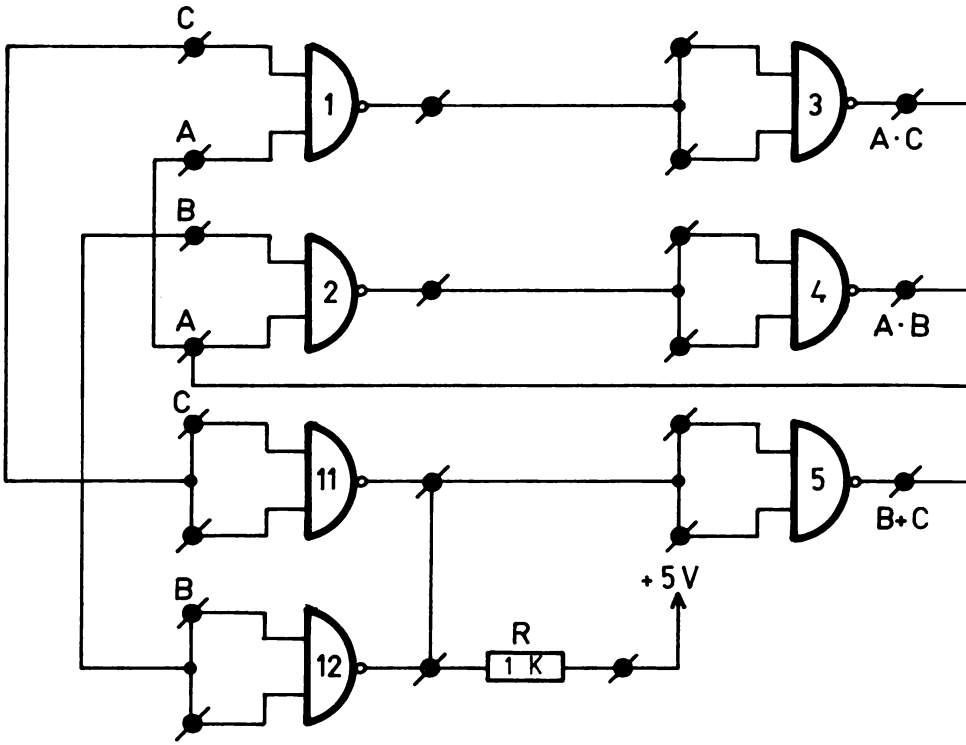


Fig. 6.11 *Schema di collegamento e tabella di verità dell'esercitazione 10.*

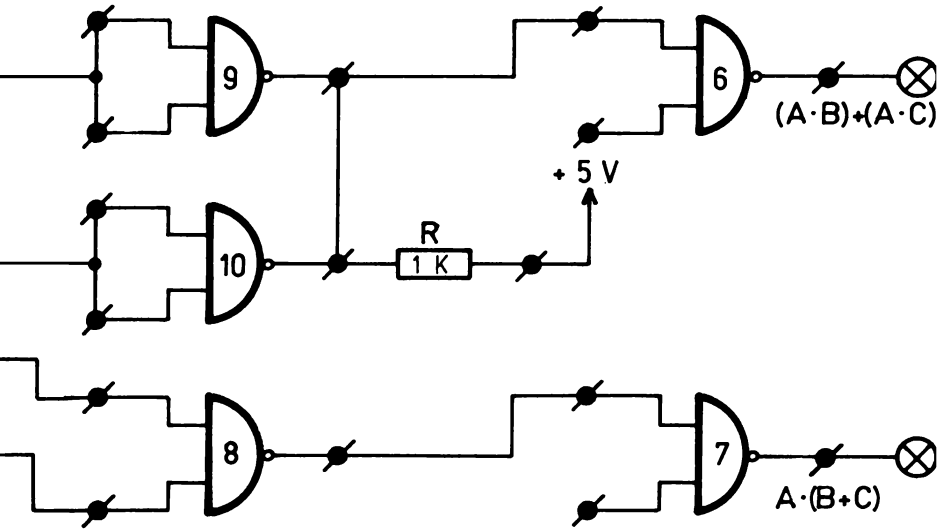


Tabella di verità

A	B	C	B+C	A·(B+C)	A·B	A·C	(A·B)+(A·C)
0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0
1	1	0	1	1	1	0	1
0	0	1	1	0	0	0	0
1	0	1	1	1	0	1	1
0	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1

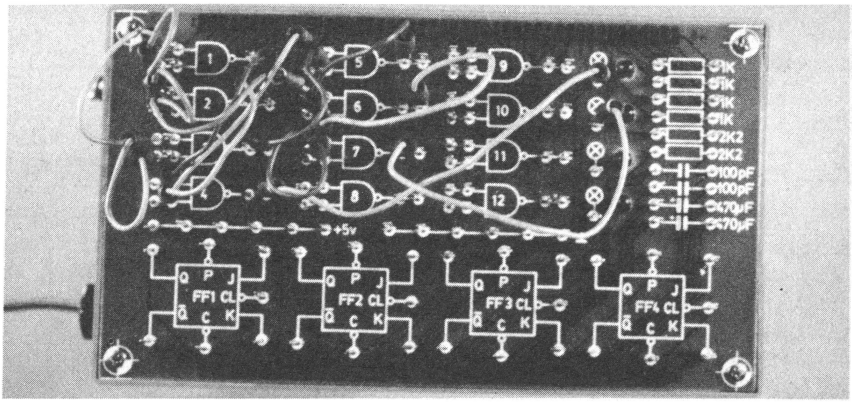


Fig. 6.12 *Montaggio su piastra sperimentale dell' esercitazione 9.*

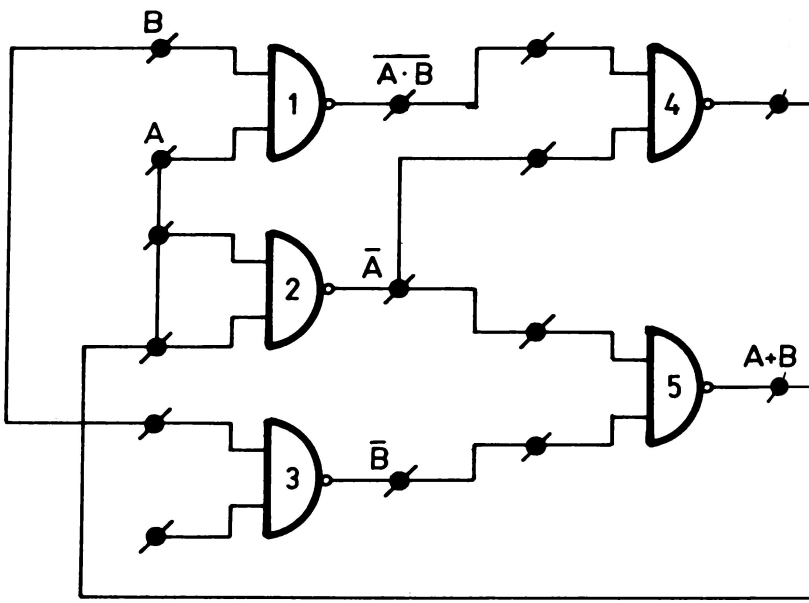


Fig. 6.13 *Schema di collegamento e tabella di verità dell' esercitazione 11.*

ESERCITAZIONE 10. LA LEGGE DISTRIBUTIVA

I . Realizzare il circuito di Fig. 6.11. Applicare all'entrata tutte le possibili combinazioni di stati logici, si otterrà la tabella di verità di Fig. 6.11.

II . Dalla tabella di verità si deduce che:

$$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$$

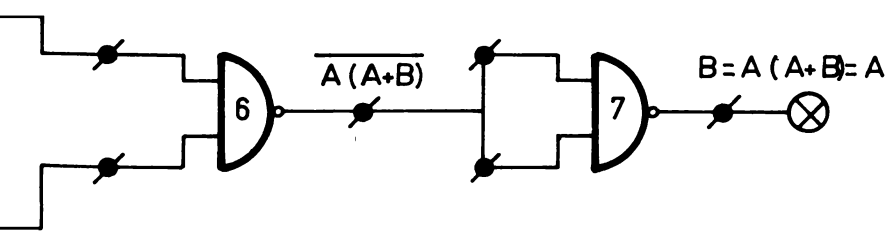
ESERCITAZIONE 11. LA LEGGE DI ASSORBIMENTO

I . Montare il circuito di Fig. 6.13 e applicare tutte le possibili combinazioni di stati di entrata per ottenere la tabella di verità di Fig. 6.13.

$C = A + A \cdot B = A$

Tabella di verità

A	B	C	D
0	0	0	0
1	0	1	1
0	1	0	0
1	1	1	1



II . Osservare che l'uscita 4 è diversa dall'uscita 2 e che l'uscita 7 è uguale all'uscita 2, di conseguenza si deduce che:

$$A + A \cdot B \equiv A \cdot (A + B) \equiv A$$

ESERCITAZIONE 12. TEOREMA DI DE MORGAN (I)

I . Montare il circuito di Fig. 6.14 e applicare tutte le possibili combinazioni di stati di entrata per ottenere la tabella di verità di Fig. 6.14.

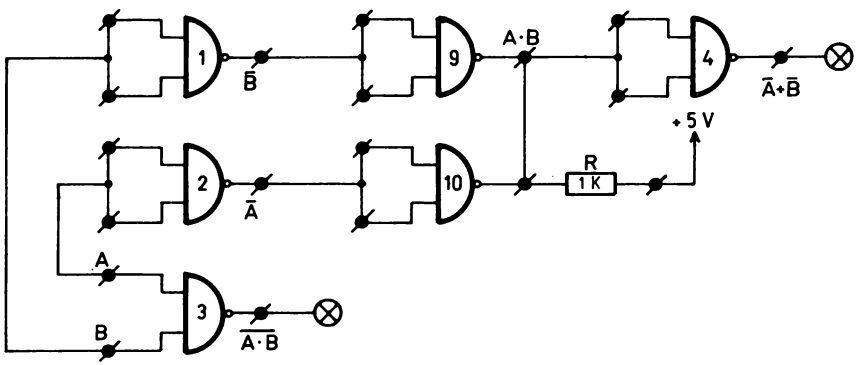


Tabella di verità

A	B	$\overline{A \cdot B}$	$\overline{A+B}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

Fig. 6.14 *Schema di collegamento e tabella di verità dell'esercitazione 12.*

II . Con questo esercizio si dimostra l'equazione booleiana di uno dei teoremi di De Morgan, che dice:

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

ESERCITAZIONE 13. TEOREMA DI DE MORGAN (II)

I . Montare il circuito di Fig. 6.15 e applicare tutte le possibili combinazioni di stati logici di entrata per ottenere la tabella di verità di Fig. 6.15.

II . Con questo esercizio si dimostra l'equazione booleiana di un altro dei teoremi di De Morgan, che dice:

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

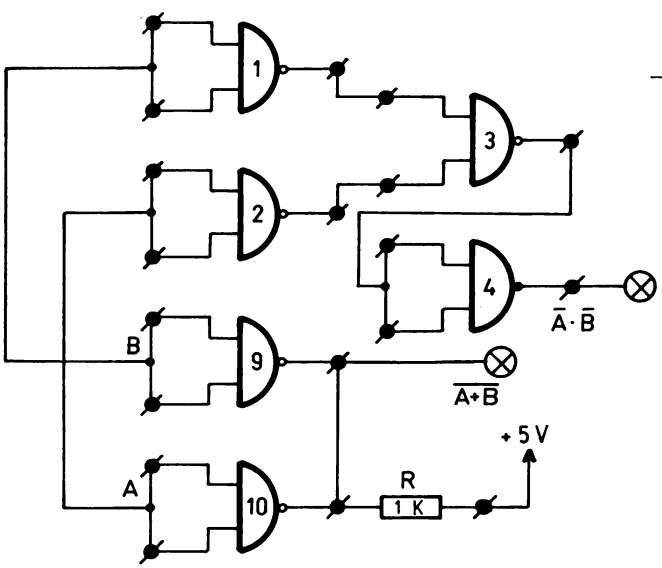


Tabella di verità

A	B	$\overline{A+B}$	$\overline{A} \cdot \overline{B}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

Fig. 6.15 *Schema di collegamento e tabella di verità dell'esercitazione 13.*

CAPITOLO 7

FUNZIONAMENTO DEI SEMICONDUTTORI IN COMMUTAZIONE

Finora abbiamo considerato le porte logiche come se fossero "scatole nere" che rispondono a determinate leggi logiche. Tuttavia è indispensabile esaminare, anche se brevemente, alcune cose che riguardano la loro circuiteria interna per poter così considerare fattori importanti nella realizzazione di circuiti logici, come: tensione di alimentazione, consumo di corrente, velocità di commutazione, limiti caratteristici, possibilità di collegamento con altri circuiti, ecc.

7.1 Diodi: caratteristiche statiche

1 . Interdizione

- *Corrente inversa:* ha poco interesse in generale, dato che è dell'ordine dei μA. Si specifica una tensione al di sotto di quella di rottura. Dipende dall'area della giunzione e se questa è stata drogata con oro o no. Se è drogata con oro il valore della corrente è due o tre volte superiore. E' poco influenzata dalla

tensione inversa, inizialmente aumenta con la stessa, ma in seguito rimane praticamente costante. La corrente inversa aumenta con la temperatura secondo la legge : $I_R = I_{RO} \cdot \delta(T-T_O)$ dove I_R è la corrente inversa alla temperatura T, I_{RO} è la corrente inversa alla temperatura T_O e δ è un fattore dipendente dal tipo di diodo usato. Nei diodi al silicio questo fattore ha un valore di circa 0,08 · 1/°C, mentre nei diodi al germanio è approssimativamente di 0,11.

- *Capacità:* la capacità normalmente specificata per un diodo è la somma della capacità della giunzione, dei terminali e del contenitore. Viene specificata per una frequenza di 1 MHz e varia dai 2 ai 10 pF, essendo inversamente proporzionale alla tensione.

2. Conduzione

- *Caduta di tensione diretta:* viene specificata, generalmente, per due valori di corrente diretta. Aumenta con essa, anche se di poco.

Dipende approssimativamente dalla temperatura:

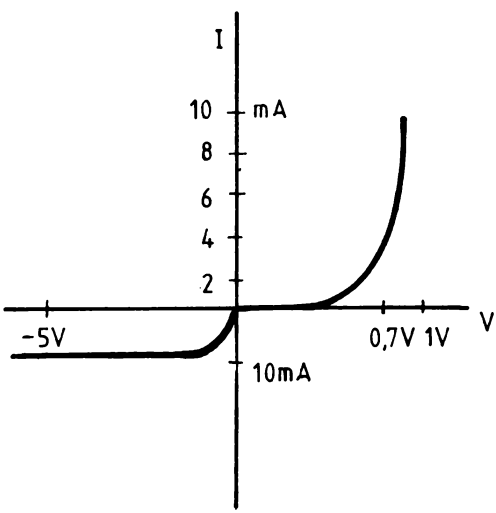


Fig. 7.1 *Curva tipica di un diodo al silicio.*

$$\frac{dV_F}{dT} \cong \frac{\Delta V_F}{\Delta T} \cong -2{,}5 \text{ mV/°C}$$

I valori tipici sono: per diodi al silicio 0,7 V e per diodi al germanio 0,3 V.

In Fig. 7.1 viene rappresentata la caratteristica di un diodo al silicio, in essa si può apprezzare la corrente inversa e il suo legame con la tensione; la caduta di tensione diretta e la sua dipendenza dalla corrente.

7.2 Diodi: caratteristiche dinamiche

1 . Commutazione in conduzione:

In Fig. 7.2 son riportate le forme d'onda di tensione e corrente durante una commutazione del diodo in conduzione.

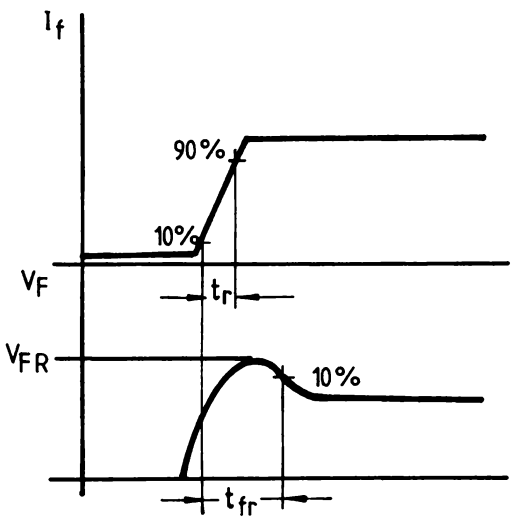


Fig. 7.2 *Onde di tensione e corrente in una commutazione del diodo in conduzione.*

Il picco di tensione indicato con V_{FR} (Forward Recovery Voltage) è dovuto al fatto che, immediatamente dopo l'applicazione della corrente, le lacune non hanno avuto il tempo di diffondersi nel lato N per creare una sufficiente densità di portatori minoritari. V_{FR} aumenta all'aumentare della corrente diretta I_F e aumenta anche al diminuire del tempo di salita della corrente stessa.

Il tempo compreso tra il 10% e il 90% del valore finale della corrente è detto tempo di salita t_r (Rise Time).

Il tempo di recupero diretto t_{FR} (Forward Recovery Time) è l'intervallo di

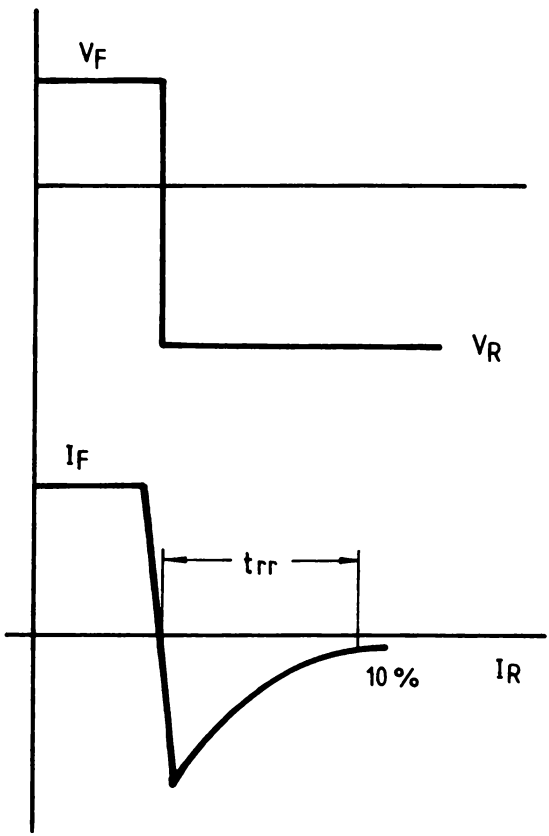


Fig. 7.3 *Onde di tensione e corrente in una commutazione del diodo da conduzione a interdizione.*

tempo che passa dal momento in cui la tensione diretta del diodo è pari al 10% e quello in cui tale tensione raggiunge e rimane entro il 10% del suo valore finale.

Valori tipici di questi parametri:

- V_{FR} da 1 a 2 V
- t_r è dell'ordine dei 50 ns
- t_{FR} varia tra 50 e 200 ns

2. Commutazione in interdizione

In Fig. 7.3 sono riportate le forme d'onda di tensione e corrente nella commutazione del diodo da conduzione a interdizione.

Il tempo di recupero inverso t_{rr} (Reverse Recovery Time) è una conseguenza diretta della grande concentrazione di portatori di carica nella regione centrale della giunzione che avviene quando il diodo è polarizzato in senso diretto. Questo tempo aumenta con la corrente diretta e con la temperatura.
Il tempo di recupero inverso impone un limite massimo di frequenza entro il quale si può utilizzare un diodo. Il tempo t_r può variare da 50 a 200 ns.

7.3 Transistor: caratteristiche statiche

1. Interdizione

- *Tensione di collettore:* è fissata dal circuito esterno.

- *Corrente di collettore:* si forniscono vari valori di corrente di collettore nello stato di interdizione:

I_{CEO}: Corrente di collettore con base aperta.
I_{CES}: Corrente di collettore con la base cortocircuitata sull'emettitore
I_{CER}: Corrente di collettore con la base unita all'emettitore attraverso una resistenza.
La corrente di collettore aumenta con la tensione V_{CE}. I valori di corrente di collettore si danno per un valore preciso di tensione e per una temperatura de-

terminata, dato che I_{CEO} aumenta di poco con V_{CEO} e aumenta molto con la temperatura. Nei transistor al germanio la corrente di collettore nello stato di interdizione si raddoppia ogni 10 °C e nei transistor al silicio si raddoppia ogni 6 °C.

2. Saturazione

- *Corrente di collettore:* è fissata dal circuito esterno.
- *Tensione di collettore* V_{CEsat}: la tensione V_{CEsat} aumenta con I_C e diminuisce con l'aumento di I_B. I valori tipici per transistor al germanio variano da 0,05 a 0,3 V e per quelli al silicio da 0,2 a 0,5 V.

7.4 Transistor: caratteristiche dinamiche

I fattori che influiscono nella risposta del transistor sono tipicamente associati col tempo di diffusione dei portatori attraverso la regione della base e con l'effetto delle capacità, dovuto alle giunzioni collettore-base e base-emettitore e delle capacità parassite tra i piedini della capsula e la capsula stessa.

In Fig. 7.5 sono riportate le curve corrispondenti alla commutazione di un

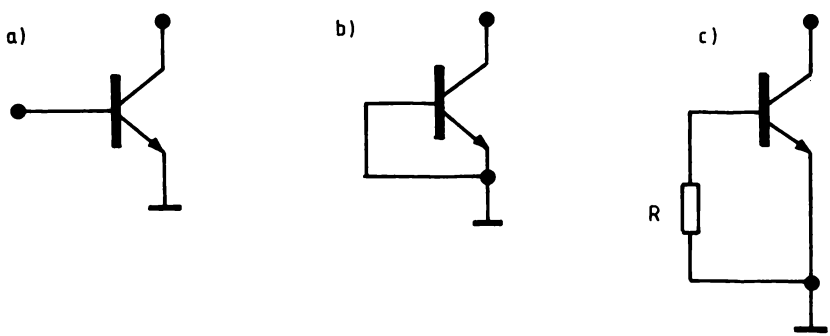


Fig. 7.4 *a) Transistor con la base aperta. b) Transistor con la base cortocircuitata. c) Transistor con la base unita all'emettitore attraverso una resistenza.*

transistor. Tutti i tempi si misurano tra il 10% e il 90% del valore finale. I tempi rappresentati in figura sono i seguenti:

a) Commutazione in conduzione

- *tempo di ritardo* t_d (delay time): è quello che trascorre da quando si applica una tensione alla base del transistor fino a quando inizia ad esserci passaggio di corrente nel collettore.

Questo tempo è dovuto alla scarica del condensatore C_E della giunzione base-emettitore e alla diffusione di portatori nella regione della base. Valore tipico: da 1 a 50 ns.

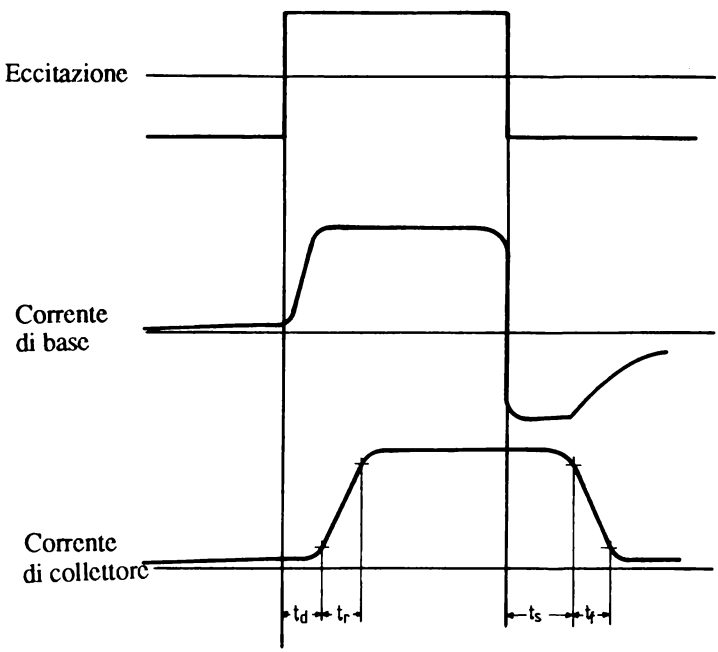


Fig. 7.5 *Rappresentazione delle curve corrispondenti alla commutazione di un transistor.*

- *Tempo di salita* t_r (rise time): è il tempo che trascorre da quando inizia ad esserci passaggio di corrente nel collettore fino a quando si arriva al valore finale di questa corrente. La causa è la diffusione di portatori nella regione della base. Valore tipico: da 1 a 1000 ns.

La somma dei tempi di ritardo e salita t_d e t_r è il tempo di commutazione in conduzione e si rappresenta come t_{ON}.

b) Commutazione in interdizione

- *Tempo di immagazzinamento* t_s (storage time): è quello che trascorre da quando viene tolta l'eccitazione della base fino a quando inizia a diminuire la corrente di collettore. La causa è la diminuzione di portatori minoritari che esistono in eccesso nella base. E' il più grande di tutti e il suo valore tipico è da 5 a 500 ns.

- *Tempo di caduta* t_f (fall time): è il tempo di discesa della corrente di collettore e la causa è la completa eliminazione di portatori nella base.

Valore tipico da 3 a 300 ns.

La somma dei tempi di immagazzinamento e caduta t_s e t_f è il tempo di commutazione in interdizione e si rappresenta come t_{OFF}.

CAPITOLO 8

DIVERSI TIPI DI LOGICHE

Una volta conosciute le possibilità di diodi e transistor di lavorare nell'ambito dell'elettronica digitale andiamo ad analizzare il comportamento dei diversi tipi di logiche che esistono nella realtà, dalla più semplice, basata sui diodi, fino a quella che si serve delle proprietà dei transistor MOS complementari.

8.1 Logica a diodi

Questa logica è la più semplice di tutte e si basa sulla conduzione o non conduzione dei diodi. In Fig. 8.1 abbiamo una porta OR, nella quale, se le tre entrate A, B e C sono a livello basso non conduce nessun diodo e l'uscita F è a livello basso. Se qualcuna delle entrate è a livello alto conduce il diodo corrispondente e l'uscita è allo stesso potenziale dell'entrata, caduta di 0,7 V di tensione nel diodo. Questa logica ha uno svantaggio: se si collegano varie porte di seguito c'è una variazione dei livelli logici dovuta alla caduta di tensione dei diodi che conducono. Pertanto questo tipo di logica non permette montaggi molto complessi, dato che i due livelli possono confondersi.

Un altro svantaggio di questa logica è che con essa la funzione complemento non si può realizzare.

Le capacità di pilotaggio di queste porte vengono fissate dal valore della resistenza R che è quella che determina la corrente che circola nei diodi.

8.2 Logica TTL

TTL Significa Transistor Transistor Logic (Logica a Transistor Transistor). Il circuito base di una porta NAND è riportato in Fig. 8.3.

Questo tipo di circuiti è il più economico dato che il transistor multiemettitore si fabbrica facilmente. La capacità di pilotaggio in uscita (fan-out) è tipicamente di 10 e il tempo di ritardo di 10 ns. Altre caratteristiche generali della logica TTL sono:

Tensione di alimentazione: 5 V ± 5%.
Tensione di uscita a livello basso: < 0,2 V.
Tensione di uscita a livello alto: > 3 V.
Margine d'immunità al rumore: 1 V.

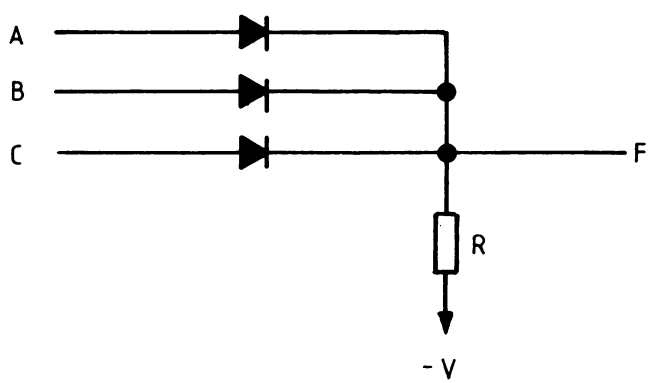


Fig. 8.1 *Porta OR in logica a diodi.*

8.3 Analisi di una porta NAND (TTL)

In Fig. 8.4 è riportata una porta NAND in logica TTL. Le due entrate devono essere a livello logico 1 per far si che l'uscita sia a livello 0 e se un'entrata è a 0 l'uscita è a livello 1. La funzione NAND si ottiene con i transistor T1 e T2, mentre i transistor T3 e T4 insieme al diodo D, formano il circuito di uscita chiamato totem-pole. Con questa configurazione si ottiene un'uscita a bassa impedenza sia per il livello 1 che per il livello 0.

Se la tensione di una delle entrate è a livello basso i transistor T2 e T3 sono interdetti, mentre T4 conduce fornendo un 1 in uscita. La tensione di uscita a livello 1 è approssimativamente:

$$V_{OH} = V_{CC} - V_{BE(T4)} - V_F$$

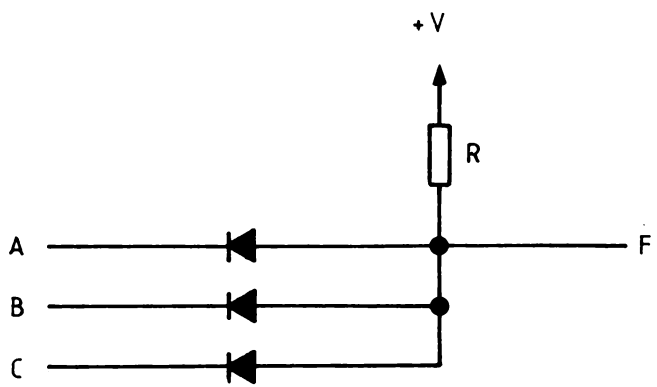


Fig. 8.2 *Porta AND in logica a diodi.*

essendo V_F la caduta di tensione diretta nel diodo D. Il transistor T4 funziona come un inseguitore di emettitore, comportandosi come un generatore di bassa impedenza di uscita a livello 1.

Quando la tensione delle due entrate è a livello alto i transistor T2 e T3 conducono, mentre T4 è interdetto l'uscita è a livello logico 0. La tensione di uscita a livello 0 è determinata dalla tensione collettore-emettitore di saturazione del transistor T3.

ANALISI DI UNA PORTA NOR (TTL)

In Fig. 8.5 è riportato il disegno di una porta NOR a due ingressi. Quando una delle due entrate è a livello alto conduce il corrispondente transistor T2A

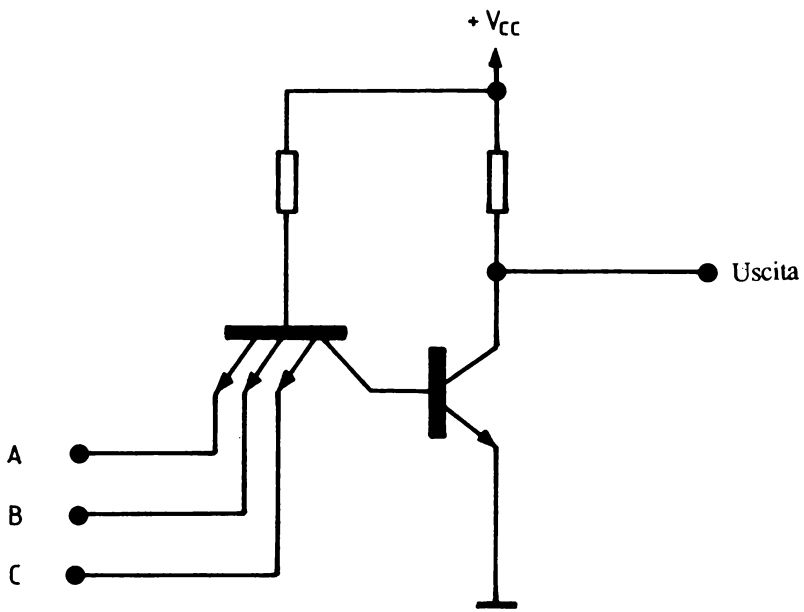


Fig. 8.3 *Circuito basilare di una porta NAND in logica TTL.*

o T2B, si satura T3 e risulta interdetto il transistor T4, producendosi un livello 0 sull'uscita.

Se le due entrate sono a livello 0 sono interdetti i transistor T2A, T2B e T3, mentre conduce il T4, di conseguenza l'uscita si trova a livello 1.

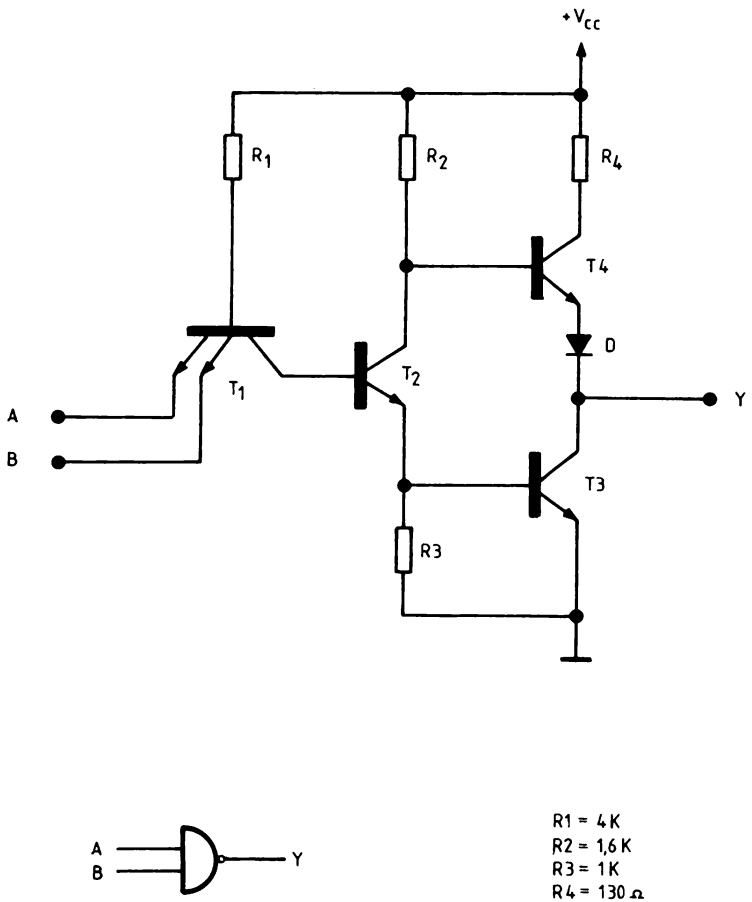


Fig. 8.4 *Rappresentazione di una porta NAND in logica TTL.*

8.4 Variazioni della logica TTL

- *TTL di bassa potenza:* queste porte sono praticamente uguali alle TTL standard, variano i valori delle resistenze che in questo caso sono maggiori, di conseguenza si ottiene un minor consumo di potenza. I valori tipici delle resistenze sono: R1 = 40 kΩ, R2 = 20 kΩ, R3 = 12 kΩ e R4 = 500 Ω .

- *TTL ad alta velocità:* in Fig. 8.6 è riportato il disegno di una porta NAND a tre entrate corrispondente a questo tipo. Le differenze rispetto alle TTL standard sono alcuni valori più bassi di resistenze, cosicchè si ottengono minori tempi di commutazione nei transistor e si aumenta la velocità di risposta della porta. Si mettono anche alcuni diodi sugli emettitori di entrata in modo

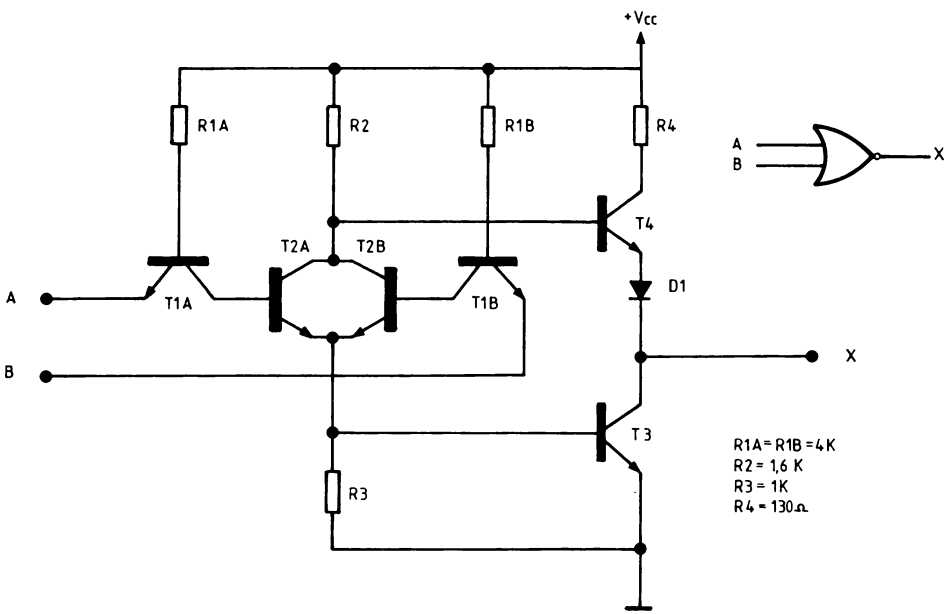


Fig. 8.5 *Porta NOR a due entrate in logica TTL.*

da ridurre gli effetti della linea di trasmissione, che possono essere importanti quando si opera con tempi di salita e discesa più piccoli. Il circuito di uscita, composto da un paio di Darlington, è più veloce rispetto alla porta standard.

- *Schottky TTL (STTL):* è la versione TTL con la quale si ottiene maggior velocità di propagazione. Questo è possibile mettendo un diodo, chiamato Schottky, in ogni transistor, come mostrato in Fig. 8.7. Questo diodo è formato da un'unione metallo-semiconduttore e si caratterizza per il fatto di possedere una caduta di tensione diretta più bassa di quella della giunzione P-N, di conseguenza non permette che il transistor si saturi completamente. In Fig. 8.8 è riportato il disegno di una porta NAND di questo tipo.

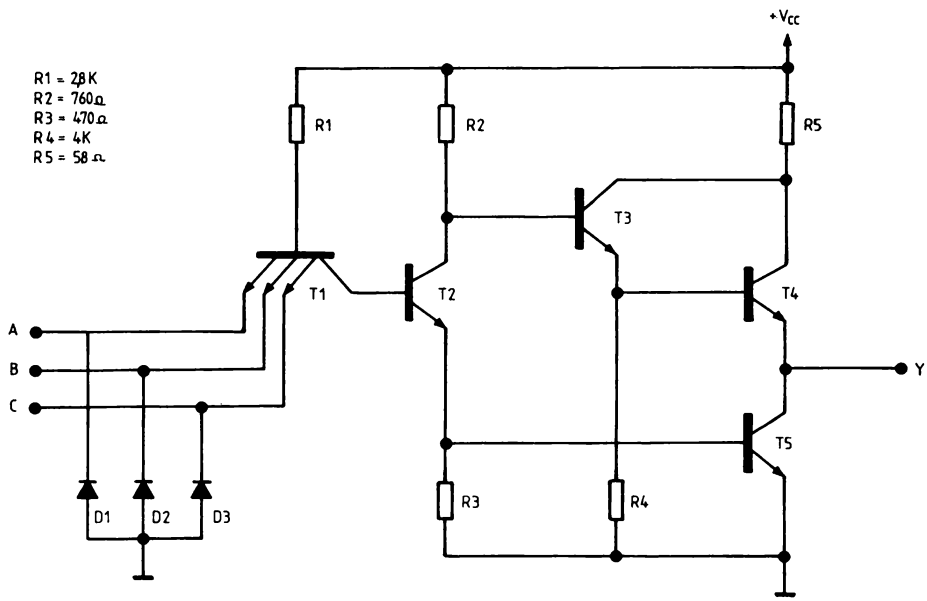


Fig. 8.6 *Porta NAND a tre entrate corrispondenti alla logica TTL ad alta velocità.*

- *Schottky TTL di bassa potenza (LSTTL):* questa famiglia è uguale alla precedente l'unica differenza sta nei valori delle resistenze che sono maggiori di quelli di Fig. 8.8, e di conseguenza, il consumo di potenza è minore.

8.5 Logica MOS : il transistor MOSFET

Un MOSFET (Metal oxide Semiconductor Field Effect Transistor) è un transistor unipolare nel quale la corrente circola da un contatto chiamato "source" (fonte), attraverso un canale prossimo alla superficie del semiconduttore, fino ad un contatto chiamato "drain" (drenaggio).

La struttura standard di un MOSFET a canale N è rappresentata in Fig. 8.9.

Il MOSFET a canale N consiste in un substrato di tipo P nel quale si diffondono due regioni altamente drogate di tipo N. Queste due regioni, che lavorano come "source" e come "drain", sono leggermente separate. Si deposita uno strato molto sottile di biossido di silicio (SiO_2) sopra la struttura, nella quale si fanno dei buchi per realizzare i contatti con il "source" e il "drain". A que-

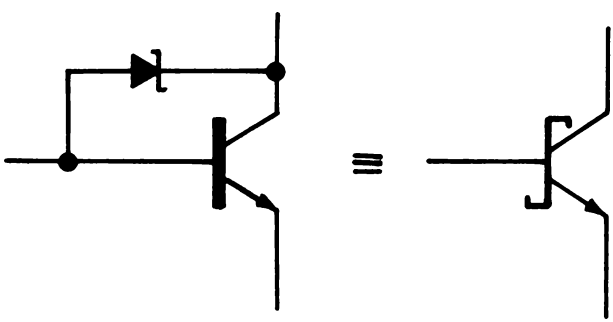


Fig. 8.7 *Collegamento di un diodo Schottky ad un transistor per ottenere la logica STTL.*

sto punto si sovrappone un'area metallica che copre completamente la zona del canale. Quest'area che è il gate (porta), insieme al dielettrico di biossido di silicio e la zona del canale formano un condensatore.

Il flusso di corrente dal "source" al "drain" è controllato dal numero di portatori esistenti nella zona del canale. Questo numero è regolato dal campo elettrostatico creato dalle cariche messe sopra l'elettrodo "gate". Se si mette il substrato a massa e si applica una tensione positiva al "gate" si provoca un campo elettrico perpendicolare al SiO_2 che induce alcune cariche negative nella zona del canale. In tale zona appaiono portatori di tipo N e la corrente fluisce dal "source" al "drain".

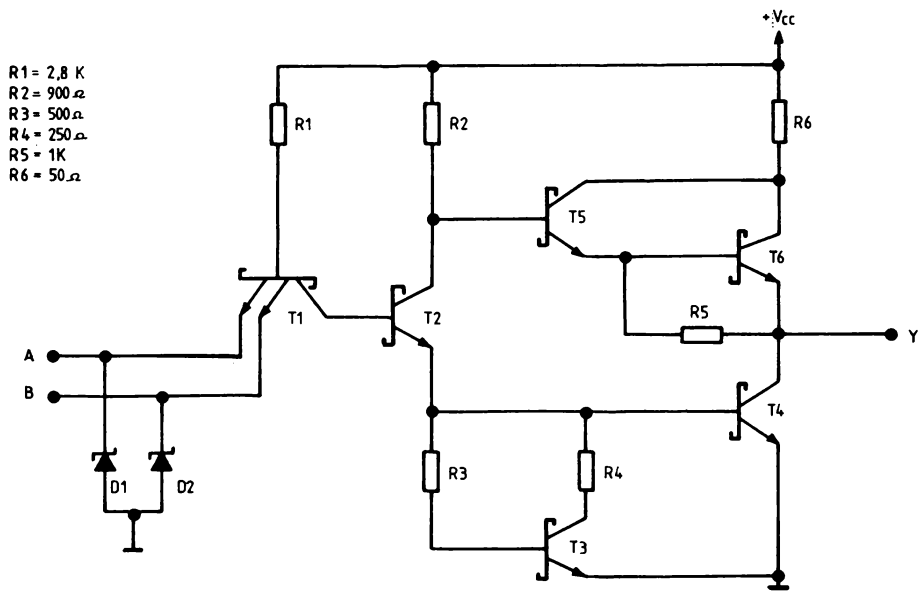


Fig. 8.8 *Porta NAND a due entrate in logica di tipo Schottky TTL (STTL).*

I transistor MOSFET possono essere a canale P. Si costruiscono con due tipi di caratteristiche:

- *Depletion:* in questo tipo di MOSFET circola un basso valore di corrente dal source al drain anche in assenza di tensione al terminale di gate.

- *Enhacement:* richiede l'applicazione di una tensione al gate per consentire il passaggio di corrente.

Con i transistor di questo tipo si possono ottenere densità d'integrazione cinque o sei volte superiori a quelle dei circuiti bipolari.
I circuiti con transistor P-MOS o N-MOS trovano ampia applicazione in circuiti della larga scala di integrazione, come memorie o microprocessori, specialmente la famiglia N-MOS. Per le applicazioni nella piccola e media scala di integrazione si utilizzano i due tipi combinati, i quali formano la famiglia CMOS.

COMBINAZIONE DI DUE TRANSISTOR CMOS: PORTA INVERTENTE

Il circuito standard nella logica CMOS è costituito da un paio di transistor complementari che formano un circuito invertente, come mostrato in Fig. 8.11.
I due transistor complementari, uno a canale N e l'altro a canale P, sono collegati in serie attraverso i conduttori di alimentazione. Le porte dei due transistor sono collegate tra di loro, il che dà luogo ad un terminale di ingresso unico. Il segnale di uscita si ottiene dal punto di connessione dei due "drain". V_{CC} è la tensione di alimentazione che può variare da 5 a 15V e V_{SS} è normalmente la massa del circuito.

Se si applica un livello logico 1 all'entrata il transistor a canale P è sconnesso e non conduce mentre quello a canale N conduce, fornendo pertanto uno 0 in uscita. Se si applica un livello basso all'entrata il transistor a canale N è sconnesso mentre quello a canale P conduce e allora l'uscita è collegata alla tensione positiva (livello 1).
Il vantaggio più grosso che ha questo tipo di circuito è la sua semplicità e soprattutto il basso consumo di potenza, dato che il consumo di corrente si produce soltanto nell'istante della commutazione.

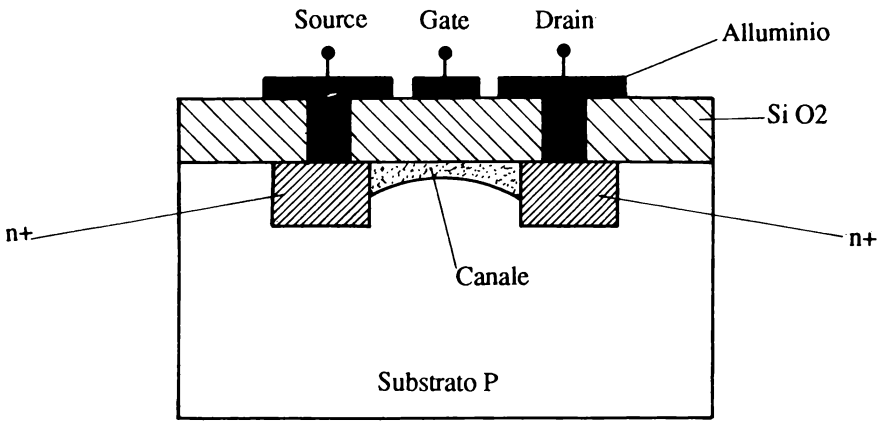


Fig. 8.9 *Struttura fondamentale di un MOSFET a canale N.*

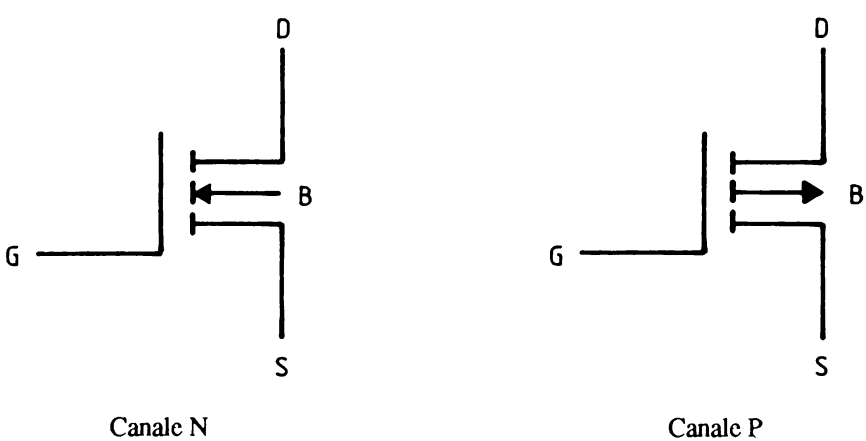


Fig. 8.10 *Transistor MOSFET a canale N e a canale P.*

8.6 Caratteristiche dei circuiti CMOS: vantaggi e svantaggi

- Confronto con la logica TTL

a) Vantaggi

Tolleranza nella tensione di alimentazione che può variare da 3 fino a 18 V.
Maggior margine d'immunità al rumore.
Gamma di temperatura di funzionamento più ampia.

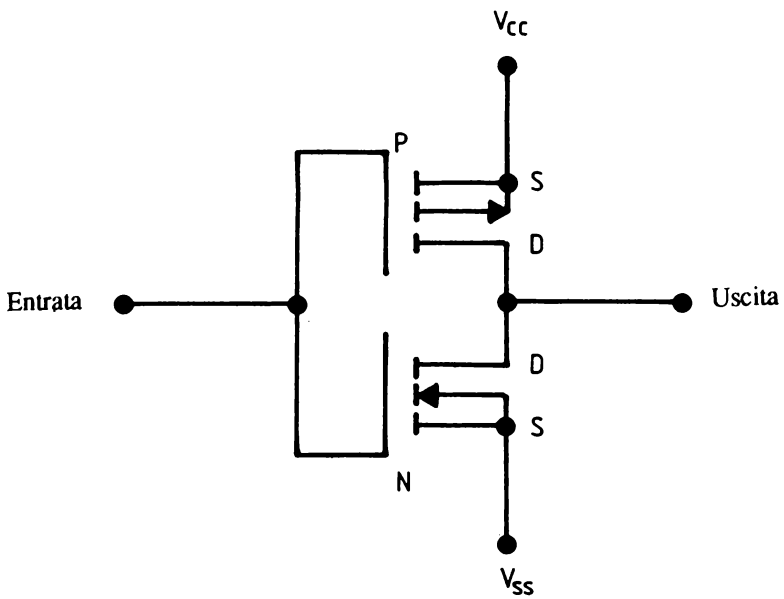


Fig. 8.11 *Il circuito basilare in logica CMOS è dato da un paio di transistor complementari come mostrato in figura.*

Minor dissipazione di potenza: più o meno mille volte in meno.
Maggior livello di integrazione dovuto alla semplicità dei circuiti.

b) Svantaggi

Tempo di propagazione superiore rispetto ai TTL.

- *Confronto con TTL di bassa potenza*

I vantaggi e gli svantaggi sono gli stessi rispetto ai TTL standard, con il vantaggio che nei CMOS c'è una gamma di prodotti più ampia rispetto ai TTL di bassa potenza.

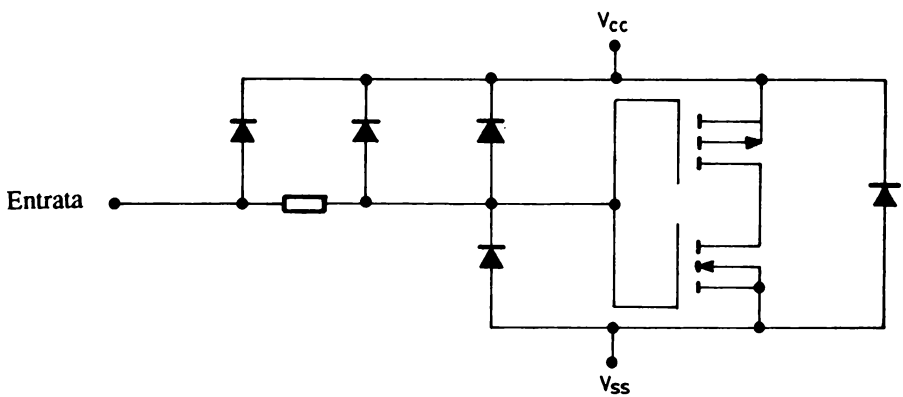


Fig. 8.12 *Protezioni poste sull'entrata di un circuito integrato CMOS.*

- *Confronto con TTL ad alta velocità*

a) Vantaggi

Minor dissipazione di potenza.
Gamma di temperatura più ampia.
Gamma più ampia di prodotti.
Possibilità di maggior livello di integrazione.

b) Svantaggi

Maggior tempo di propagazione.

Uno svantaggio che hanno i circuiti integrati CMOS è dovuto alla loro alta impedenza di entrata; qualsiasi campo elettrostatico può deteriorarli. Per evitare che questo accada sono provvisti di protezioni sulle entrate, come si può vedere in Fig. 8.12, ma nonostante questo, bisogna prendere adeguate precauzioni quando si maneggiano. Bisogna cortocircuitare tutti i pin quando si immagazzinano, quando si saldano sul circuito bisogna farlo con un saldatore collegato a terra. Non si devono mai lasciare entrate scollegate: devono sempre essere collegate a livello logico 1 o a livello logico 0.

Tabella 8.1 *Quadro riassuntivo dei diversi tipi di logiche, insieme ai loro tempi di propagazione e consumo di potenza tipici.*

FAMIGLIA	T_{pd} (ns)	CONSUMO (mW)
TTL standard	10	10
TTL/H (alta velocità)	6	22
TTL/L (bassa potenza)	33	1
TTL/S (Schottky)	3	20
P-MOS	100	0,5
N-MOS	50	0,4
CMOS	50	0,1

CONFRONTO E RIASSUNTO

Come riassunto finale dei diversi tipi di logiche trattate possiamo notare che i fattori più importanti al momento della scelta sono normalmente il consumo di potenza e la velocità di propagazione. Di tutti i tipi di logiche viste in questo capitolo meritano di essere sottolineate le seguenti:

- *logica a diodi:* è la più semplice, ma dato che ha lo svantaggio dello spostamento dei livelli quando si sistemano alcune porte di seguito si utilizza soltanto nei circuiti che hanno bisogno di poca logica. Poichè si tratta di una logica a componenti discreti e non di circuiti integrati risulta più costosa e difficile da realizzare in un circuito con molte funzioni logiche.

- *logica TTL:* è una logica con una velocità di propagazione e un consumo di potenza medio. Ha il vantaggio che è molto conosciuta e esiste un'ampia gamma di circuiti a diversi livelli di integrazione, oltre ad avere un basso costo.

- *logica Schottky TTL:* è una logica rapida e compatibile con la TTL standard, si utilizza in combinazione con essa dove è necessaria una maggior velocità. E' abbastanza usata nei microcalcolatori. La stessa cosa si può dire della serie Schottky TTL di bassa potenza (LSTTL).

- *logica CMOS:* è la logica che ha il minor consumo di potenza ma è anche la più lenta. Per questo motivo si utilizza in circuiti dove il fattore decisivo è il consumo e non la velocità di propagazione.

CAPITOLO 9

CARATTERISTICHE DELLE PORTE ELETTRONICHE

In questo capitolo si descrivono un insieme di caratteristiche che hanno relazione con le porte logiche elettroniche. Per una migliore comprensione la descrizione si farà per gruppi omogenei avendo presente se si tratta di entrate, uscite, trasferimenti o alimentazioni.

9.1 Parametri caratteristici

Caratteristiche di trasferimento:

V_{IL} : è la tensione di entrata richiesta per ottenere un livello basso in ingresso. Normalmente si specifica V_{ILmax}, questo è il massimo valore di tensione ammesso per lo 0.

V_{IH} : è la tensione di entrata richiesta per ottenere un livello alto in ingresso. Normalmente si specifica il valore minimo ammesso, V_{IHmin}.

V_{OL} : è la tensione di uscita della porta a livello basso. Si specifica il valore massimo che garantisce tale livello, V_{OLmax}.

V_{OH} : è la tensione di uscita della porta a livello alto. Si specifica il valore minimo, V_{OHmin}.

V_T : è la tensione di soglia, con la quale si produce il cambiamento dell'uscita, quando le tensioni di entrata e di uscita sono uguali.

Caratteristiche di entrata:

I_{IL} : è la corrente che esce dall'entrata di una porta quando essa è a livello 0.

I_{IH} : è la corrente che entra dall'entrata di una porta quando essa è a livello 1.

In Fig. 9.1 sono riportate due correnti relative ad una porta TTL.

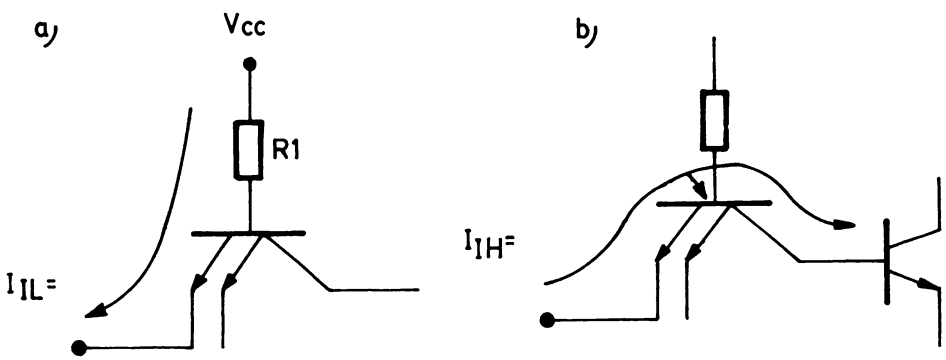


Fig. 9.1 *Correnti I_{IL} e I_{IH} in una porta TTL.*

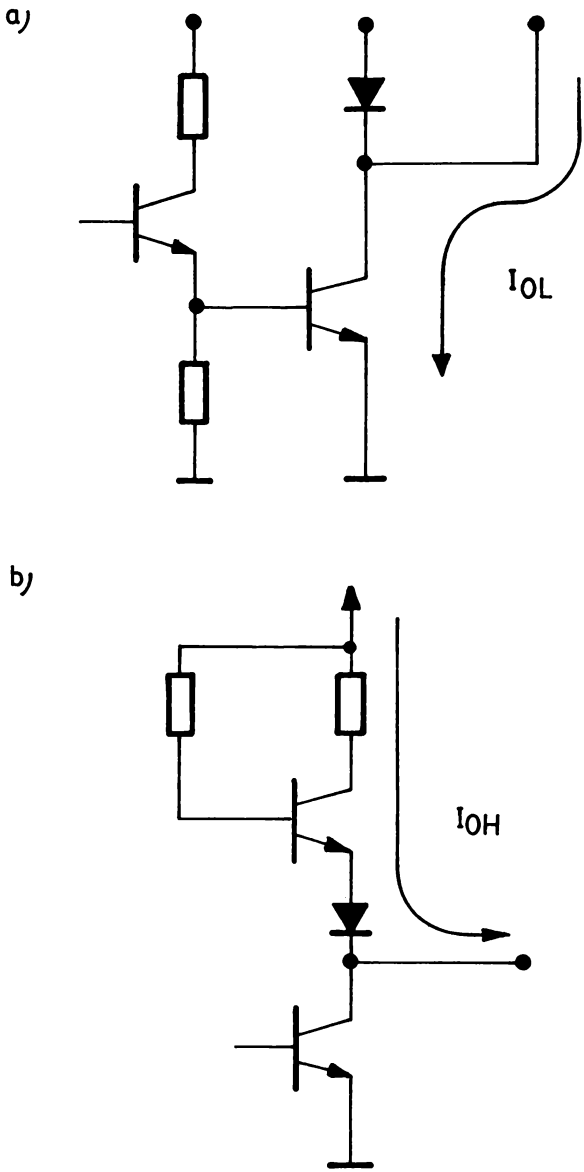


Fig. 9.2 *Correnti I_{OL} e I_{OH} in una porta TTL.*

La corrente I_{IL} è determinata dalla tensione di alimentazione e dalla resistenza R1:

$$I_{IL} = \frac{V_{CC} - V_{BE} - V_{IL}}{R1}$$

La corrente I_{IH} è determinata dal guadagno inverso di corrente del transistor di entrata. Se una o più delle altre entrate sono a livello 0, quest'intensità è maggiore, il che è dovuto all'azione tra gli emettitori.

Caratteristiche di uscita

I_{OL} : chiamata anche I_{sink}. E' la corrente che entra attraverso l'uscita quando essa è a livello 0.

I_{OH} : chiamata anche I_{source}. E' la corrente che esce attraverso l'uscita quando essa è a livello 1.

In Fig. 9.2 sono riportate queste correnti relative ad una porta TTL.

In funzione del verso dei segni le intensità I_{IL}, I_{IH}, I_{OL} e I_{OH} sono positive quando entrano nella porta e sono negative quando escono da essa. In questo modo, I_{IH} e I_{OL} sono positive, mentre I_{IL} e I_{OH} sono negative.

Tempi di propagazione

$t_{pHL}(t_{pd0})$: è il tempo di ritardo relativo alla transizione dell'uscita per passare da uno stato 1 ad uno stato 0.

$t_{pLH}(t_{pd1})$: è il tempo di ritardo relativo alla transizione dell'uscita per passare da uno stato 0 ad uno stato 1.

Caratteristiche di alimentazione:

I_{CCL} : è la corrente di alimentazione quando c'è un livello 0 sull'uscita.

I_{CCH} : è la corrente di alimentazione quando c'è un livello 1 sull'uscita.

Le correnti di alimentazione vengono fornite in uno stato statico della porta. Nel momento di cambiamento la corrente è maggiore a causa delle commutazioni dei transistor. Di conseguenza, in regime dinamico il consumo è maggiore e aumenta con la frequenza.

9.2 Curve di trasferimento

La curva di trasferimento di una porta logica rappresenta graficamente la relazione tra le tensioni di entrata e uscita di essa. In Fig. 9.3 è riportata la curva di trasferimento di una porta invertente.

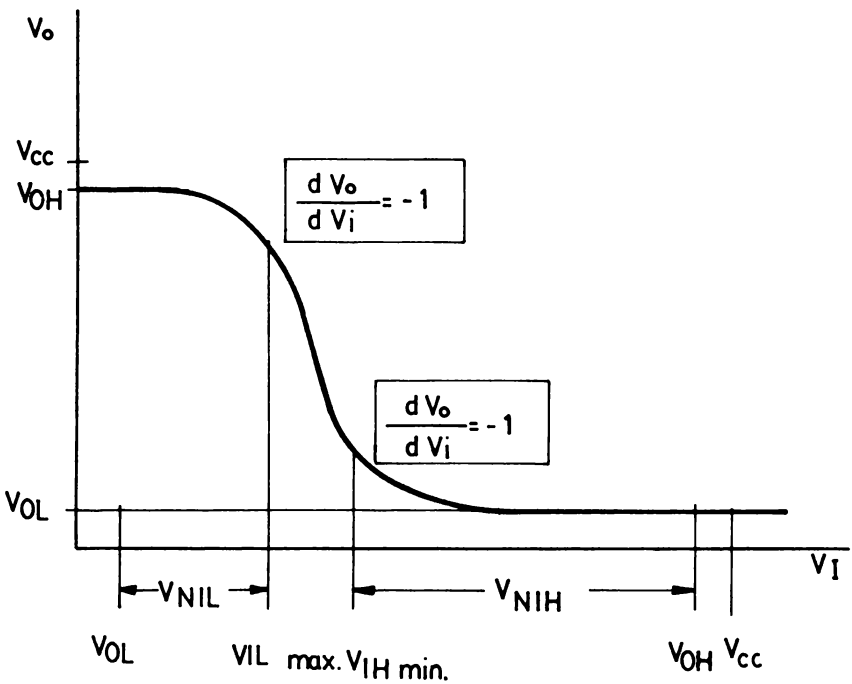


Fig. 9.3 *Curva di trasferimento di una porta invertente.*

In questa curva si evidenzia la tensione di soglia per il livello basso V_{ILmax} e la tensione di soglia per il livello alto V_{IHmin}. Queste tensioni si definiscono come i punti nei quali il grafico della curva di trasferimento è uguale a 1.

Esistono due margini di rumore, uno per il livello basso di entrata V_{NIL} e un altro per il livello alto di entrata V_{NIH}.

Questi due margini di rumore si definiscono come segue:

$$V_{NIL} = V_{ILmax} - V_{OL}$$

$$V_{NIH} = V_{OH} - V_{IHmin}$$

La curva di immunità dinamica al rumore permette di conoscere il comportamento di una porta in regime dinamico. Rappresenta la relazione tra l'altezza degli impulsi applicati alla sua entrata e la loro durata minima per far cambiare il livello logico dell'uscita della porta. Esiste una curva di questo tipo per il livello alto e un'altra per il livello basso di entrata. In Fig. 9.4 è riportata una curva di questo tipo.

Man mano la larghezza dell'impulso si avvicina al tempo di propagazione della porta, l'ampiezza di tensione richiesta per azionare il circuito è maggiore, mentre, quando aumenta il tempo dell'impulso del rumore il margine di questo si avvicina a quello di regime statico.

9.3 Fattori di carica

Quando si collega l'uscita di una porta logica con alcune entrate di altre porte bisogna conoscere la capacità di uscita della prima in funzione del carico. Per questo motivo è necessario conoscere i corrispondenti valori delle intensità I_{OL}, I_{OH}, I_{IL} e I_{IH}.

In alcune famiglie logiche, le capacità di uscita nell'ambito della propria famiglia sono state normalizzate, ciò significa che le porte logiche di questa famiglia hanno tutte la medesima capacità di uscita. In una porta NAND della famiglia TTL si hanno i valori:

$I_{OH} = 400\ \mu A$ $\qquad$ $I_{IH} = 40\ \mu A$

$I_{OL} = 16\ mA$ $\qquad$ $I_{IL} = 1{,}6\ mA$

In funzioni di questi dati:

$$\frac{I_{OH}}{I_{IH}} = \frac{400\ \mu A}{40\ \mu A} = 10$$

$$\frac{I_{OL}}{I_{IL}} = \frac{16\ mA}{1{,}6\ mA} = 10$$

Di conseguenza, l'uscita di questa porta, è in grado di pilotare 10 porte dello stesso tipo. Prendendo come unità i valori di $I_{IH} = 40\ \mu A$ e $I_{IL} = 1{,}6$ mA, si dice che questa porta NAND ha un fattore di carica di entrata e dieci fattori di carica di uscita.

Se un altro tipo di porta presenta $40\ \mu A < I_{IH} \leq 80\ \mu A$ e $1{,}6\ mA < I_{IL} \leq 3{,}2$ mA, si dice che ha due unità di carica di entrata, mentre una porta che ha $320\ \mu A \leq I_{OH} < 360\ \mu A$ e $12{,}8\ mA < I_{OL} \leq 14{,}4$ mA, si dice che ha otto fattori di carica di uscita.

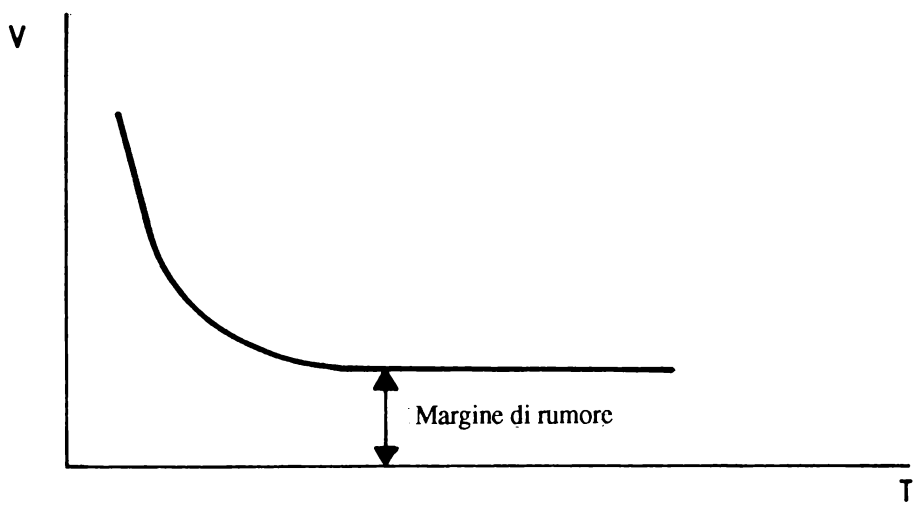


Fig. 9.4 *Curva d'immunità dinamica al rumore, che permette di conoscere il comportamento di una porta in regime dinamico.*

Quando si costruisce un circuito, bisogna avere presente i fattori di carica, in modo che ogni uscita possa dare o assorbire la corrente necessaria alle entrate collegate. Per questo, si esegue la somma del numero di fattori di cariche delle entrate collegate in modo tale da verificare che questo numero sia minore del numero di unità di carica di uscita dell'elemento. Nel caso non si verificasse questo, bisognerebbe mettere due elementi in parallelo per poter erogare o assorbire la corrente necessaria.

9.4 Livelli di integrazione

Il primo obbiettivo, quando si iniziò a costruire circuiti integrati, fu quello di realizzare una porta completa in un unico contenitore. Ben presto però, si vide, che era possibile costruire varie porte simili in un solo chip, con un basso costo aggiuntivo. Il passo seguente, di conseguenza, sarebbe stato quello di integrare il maggior numero possibile di porte in un unico chip al minor costo possibile. Questa complessità progressiva, insieme alla varietà dei tipi di circuiti logici, ha portato alla definizione obbligata di livelli di complessità o livelli di integrazione.

Nei circuiti integrati si definiscono tre livelli di integrazione:

a) Piccola scala di integrazione (SSI: Small Scale Integration): quando ogni capsula contiene da 1 a 12 porte logiche equivalenti.

b) Media scala di integrazione (MSI: Medium Scale integration): quando ogni chip contiene da 13 a 99 porte logiche equivalenti.

c) Larga scala di integrazione (LSI: Large Scale Integration): quando si hanno più di 99 porte per chip.

Il fatto di passare ogni volta a maggiori livelli di complessità ed integrazione è stato dovuto non soltanto a vantaggi quali la diminuzione di volume e peso, ma anche alla maggiore affidabilità risultante quando i collegamenti vengono ridotti.

Nel 1963 per realizzare un contatore di 3 digit, servivano 36 transistor e 244 diodi montati su tre circuiti stampati. Nel 1966, con l'avvento della piccola scala di integrazione, la stessa funzione si realizzava con 13 circuiti integrati montati su di un unico circuito stampato. Nel 1969, con la media scala di in-

tegrazione, si otteneva la stessa funzione con 3 soli circuiti integrati. Attualmente, con le tecniche della larga scala di integrazione, questa funzione si può ottenere con un solo circuito integrato. Di conseguenza, si sono ridotti notevolmente, oltre allo spazio, i costi di costruzione, montaggio e collaudo del sistema.

CAPITOLO 10

LOGICA COMBINATORIA

La logica combinatoria è caratterizzata dalle relazioni o combinazioni di vari circuiti logici destinati a conseguire una determinata funzione. Il risultato ottenuto è fisso e costante e non presenta alcuna variazione nel tempo, sempre, logicamente, che non si alterino i livelli di tensione applicati alle entrate.

10.1 Forme canoniche

Le espressioni logiche possono essere sempre scritte come:

a) Somma di prodotti: $AB + AC + \overline{B}C$
b) Prodotto di somme: $(P+\overline{Q}) \cdot (Q+R) \cdot (P+\overline{R})$

Queste espressioni possono essere riscritte in forma generale, in modo tale che in ogni termine siano presenti tutte le variabili.

La somma di prodotti si può scrivere:

$$Y = AB + AC + \overline{B}C = AB \cdot 1 + A \cdot 1 \cdot C + 1 \cdot \overline{B}C$$

Avendo presente la proprietà dell'elemento neutro ($A \cdot 1 = A$) e quella della somma con il complemento ($A + \overline{A} = 1$) possiamo scrivere:

$$Y = A \cdot B \cdot (C+\overline{C}) + A \cdot (B+\overline{B}) \cdot C + (A+\overline{A}) \cdot \overline{B} \cdot C$$

Applicando adesso la legge distributiva:

$$Y = ABC + AB\overline{C} + ABC + A\overline{B}C + A\overline{B}C + \overline{A}\,\overline{B}C$$

Sapendo che $A+A = A$, risulta:

$$Y = ABC + AB\overline{C} + A\overline{B}C + \overline{A}\,\overline{B}C$$

DC \ BA	00	01	11	10
00	0) $\overline{D}\,\overline{C}\,\overline{B}\,\overline{A}$	1) $\overline{D}\,\overline{C}\,\overline{B}A$	3) $\overline{D}\,\overline{C}BA$	2) $\overline{D}\,\overline{C}B\overline{A}$
01	4) $\overline{D}C\overline{B}\,\overline{A}$	5) $\overline{D}C\overline{B}A$	7) $\overline{D}CBA$	6) $\overline{D}CB\overline{A}$
11	12) $DC\overline{B}\,\overline{A}$	13) $DC\overline{B}A$	15) $DCBA$	14) $DCB\overline{A}$
10	8) $\overline{D}\,\overline{C}\,\overline{B}\,\overline{A}$	9) $\overline{D}\,\overline{C}BA$	11) $\overline{D}CBA$	10) $\overline{D}C\overline{B}\,\overline{A}$

Fig. 10.1 *Mappa di Karnaugh per quattro variabili.*

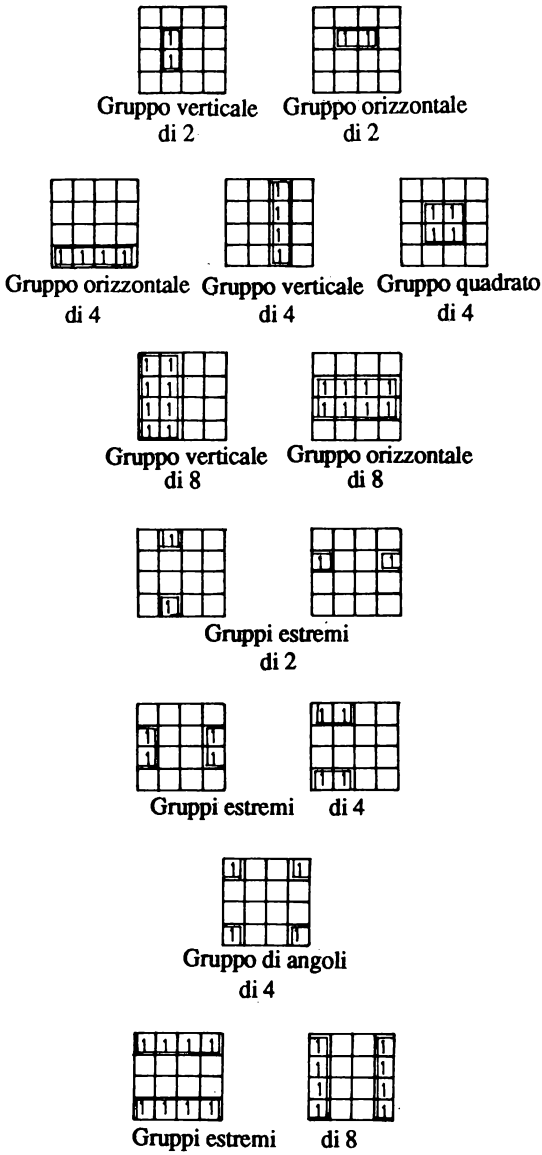


Fig. 10.2 *Diversi possibili modi di unire quadri adiacenti in una quattro variabili.*

Questa espressione generale è la forma canonica della somma di prodotti. Ognuno dei suoi termini viene chiamato "mintermine".

Allo stesso modo partendo dal prodotto di somme, si può arrivare alla seguente espressione:

$$Y = (P+\overline{Q}+R) \cdot (P+\overline{Q}+\overline{R}) \cdot (\overline{P}+Q+R) \cdot (P+Q+\overline{R}) \cdot (P+Q+R)$$

Questa espressione generale è la forma canonica del prodotto di somme e ognuno dei suoi termini viene chiamato "maxtermine".

In pratica, la funzione con la tabella di verità riportata in tabella 10.1 la potremmo rappresentare:

come somma di prodotti:

$$F = A\overline{B}C + \overline{A}BC + ABC$$

come prodotto di somme:

$$F = (A+B+C) \cdot (A+\overline{B}+C)$$

Nella somma di prodotti si considerano i termini nei quali la funzione vale

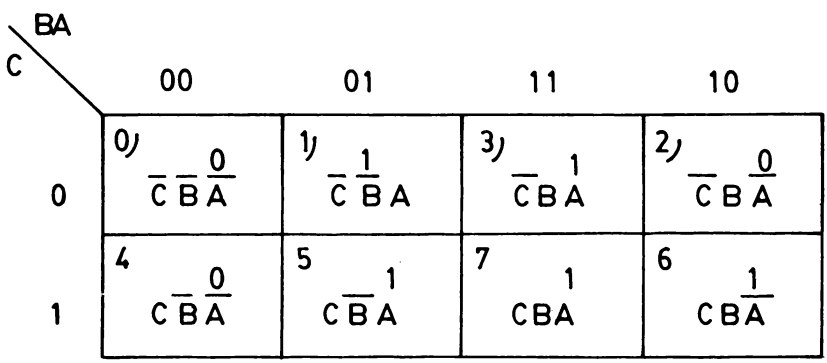


Fig. 10.3 *Mappa di Karnaugh dell'espressione* $Y = \overline{A}BC + A\overline{B}\,\overline{C} + A\overline{B}C + AB\overline{C} + ABC$.

Tabella 10.1 *Tabella di verità di una funzione (F = f (A,B,C)).*

A	B	C	F
0	0	0	0
0	1	0	0
1	0	1	1
0	1	1	1
1	1	1	1

1, e, in questi termini, la variabile che vale 0 appare complementata e quella che vale 1 senza complemento.

Nel prodotto di somme si considerano i termini nei quali la funzione vale 0, in questi termini la variabile che vale 0 appare senza complemento e quella che vale 1 appare complementata.

10.2 Mappe di Karnaugh

Le espressioni logiche e le equazioni che descrivono le funzioni che deve realizzare un sistema digitale permettono di determinare la composizione del

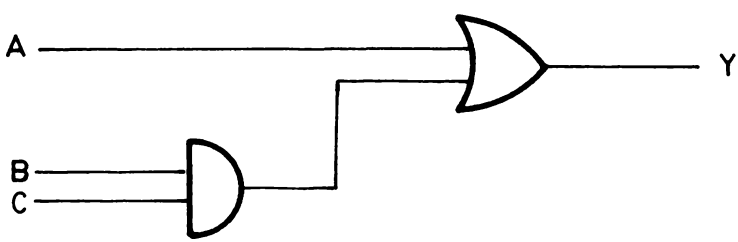


Fig. 10.4 *Rappresentazione dell'espressione Y = A + BC.*

sistema stesso. Questo sistema, che a volte può essere molto complesso, è possibile semplificarlo applicando i teoremi appropriati, ma spesso questo risulta difficile. Per un numero piccolo di variabili è meglio fare la semplificazione attraverso le mappe di Karnaugh. Tali mappe ci permettono di semplificare le equazioni rendendo i circuiti logici meno complessi.

Le mappe di Karnaugh sono una rappresentazione grafica di tutte le possibili combinazioni delle variabili che intervengono. In questo modo può essere considerato come la rappresentazione grafica di tutti i termini della forma canonica somma di prodotti.

Ogni termine è rappresentato in un quadrato, ordinati in modo tale che i quadrati adiacenti si differenzino in una sola variabile che appare in forma complementata o non complementata.

In Fig. 10.1 è riportato un diagramma di Karnaugh per quattro variabili.

Per la definizione data di adiacenza (incontro di due linee rette), sono adiacenti anche i due quadrati di una riga; il quadrato superiore e l'inferiore di una colonna; così come i quadrati degli angoli.

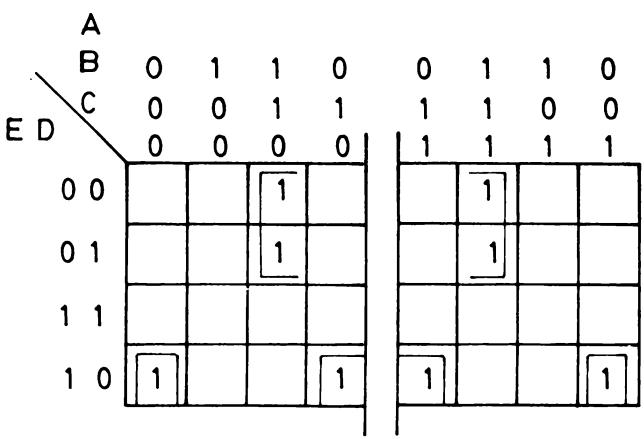


Fig. 10.5 *Esempio di mappe di Karnaugh per sei variabili.*

Un'espressione logica in forma canonica di somme di prodotti si rappresenta nella mappa mettendo un 1 nei quadrati i cui termini siano contenuti nell'espressione e mettendo uno 0 negli altri quadrati.

Applicando la proprietà distributiva:

$$AB + AC = A \cdot (B+C)$$

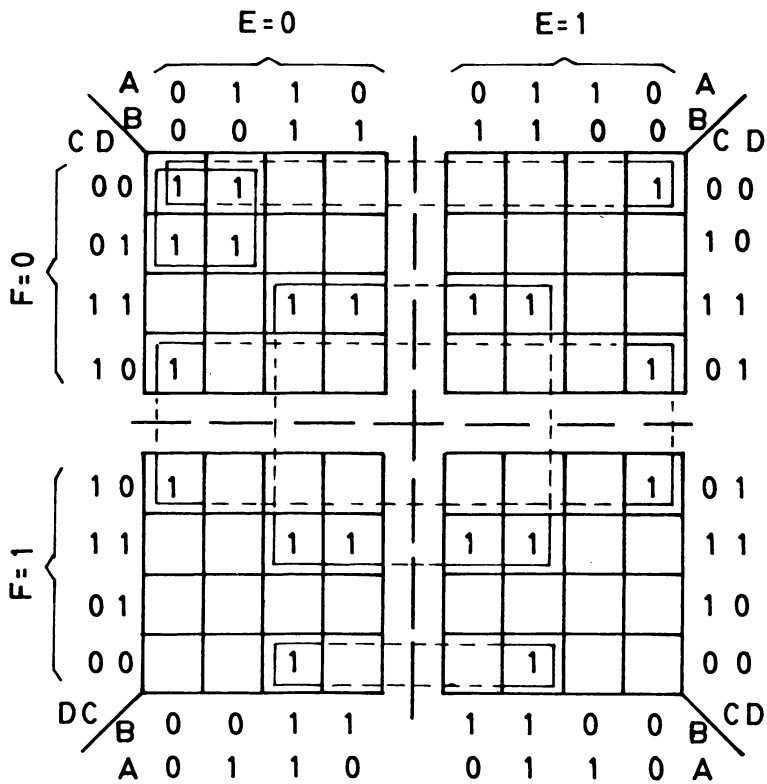


Fig. 10.6 *Una buona norma, quando si realizza una mappa di Karnaugh per cinque o sei variabili, è suddividerla in due o quattro mappe di quattro variabili.*

e le proprietà:

$$A + \overline{A} = 1$$
$$A \cdot 1 = A$$

ai termini di due quadrati adiacenti nei quali esista un 1, si può eliminare una variabile, dato che l'operazione determinata da questi due termini è indipendente da quella variabile.

Per esempio, combinando i quadrati 5 e 13 di Fig. 10.1:

$$\overline{D}C\overline{B}A + DC\overline{B}A = C\overline{B}A \cdot (D+\overline{D}) = C\overline{B}A \cdot 1 = C\overline{B}A$$

I due quadrati combinati si possono combinare con altri due adiacenti se i due gruppi di quadrati sono a loro volta adiacenti.

Così un gruppo di quattro quadrati adiacenti si può combinare ottenendo l'eliminazione di due variabili.

Se adesso combiniamo i quadrati 7 e 15:

$$\overline{D}CBA + DCBA = CBA \cdot (D+\overline{D}) = CBA \cdot 1 = CBA$$

combinando adesso questo risultato con il precedente:

$$C\overline{B}A + CBA = CA \cdot (\overline{B}+B) = CA \cdot 1 = CA$$

Di conseguenza, combinando quattro quadrati adiacenti, sono state eliminate due variabili. Generalmente dalla combinazione di 2^n quadrati adiacenti risulta l'eliminazione di n variabili.

In questo modo possiamo eliminare termini e variabili della forma canonica in modo da semplificare l'espressione.

In Fig. 10.2 sono rappresentate tutte le possibili forme di unione di quadrati adiacenti per una mappa di quattro variabili.

Quando si fanno le semplificazioni, ogni gruppo di quadrati adiacenti rappresenta una funzione AND e tutte queste si uniscono in una funzione OR per ottenere il risultato finale. Quindi per ottenere la massima semplificazione bisogna prendere il minor numero di gruppi di quadrati adiacenti, ma che siano i più grandi possibili.

ESEMPIO PRATICO PER TRE VARIABILI

Andiamo a fare un esempio di semplificazione per tre variabili. Consideriamo la seguente funzione:

$$Y = \overline{A}BC + A\overline{B}\,\overline{C} + A\overline{B}C + AB\overline{C} + ABC$$

Utilizzando le mappe di Karnaugh, rappresentate in Fig. 10.3, si hanno due gruppi di quadrati adiacenti. Il gruppo composto dai quadrati 1, 3, 5 e 7 e quello formato dai quadrati 7 e 6.

Nel gruppo formato dai quadrati 1 e 3 il risultato è $A\overline{C}$ e in quello formato dai quadrati 5 e 7 il risultato è AC. Di conseguenza, combinando i quattro quadrati, il risultato è A. Combinando il 6 e il 7 risulta BC, in modo tale che l'espressione risulta semplificata nella forma:

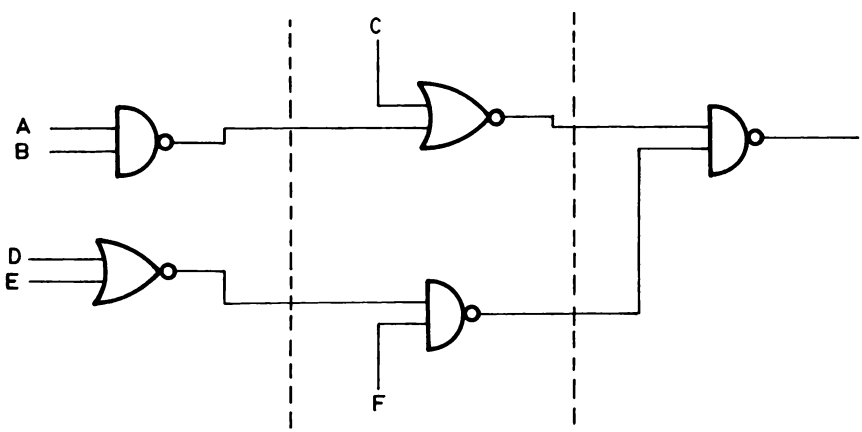


Fig. 10.7 *Rappresentazione dell'espressione*
$Y = [F \cdot (\overline{D} \cdot \overline{E})] + [C + (\overline{A}+\overline{B})]$

$$Y = A+BC$$

la cui rappresentazione è riportata in Fig. 10.4.

Vediamo, di conseguenza, che quando si combinanno 2^n quadrati, si eliminano le n variabili che non rimangono nel totale dei quadrati, continuando con quelle che hanno lo stesso valore in tutti i quadrati, complementate se il loro valore è 0, o non complementate se il loro valore è 1.

10.3 Mappe di Karnaugh per cinque o sei variabili

In questi casi, il diagramma diventa complesso, a causa della presenza di righe e colonne che, pur essendo separate, si differenziano soltanto in una variabile e di conseguenza, devono essere considerate vicine ai fini della formazione di blocchi.

Nell'esempio esposto in Fig. 10.5 possiamo vedere questo: le colonne 3 e 6 si differenziano soltanto in una variabile, altrettanto le colonne 1 e 4, 5 e 8 ecc.

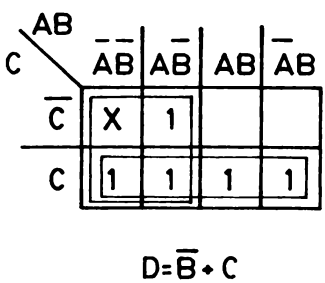


Fig. 10.8 *Mappa di Karnaugh per la parte I dell'esercitazione.*

CD \ AB	$\overline{A}\,\overline{B}$	$A\overline{B}$	AB	$\overline{A}B$
$\overline{C}\,\overline{D}$				
$C\overline{D}$	1	1	1	1
CD	1	1	1	1
$\overline{C}D$				

$E = C$

Fig. 10.9 *Mappa di Karnaugh per la parte II dell' esercitazione.*

CD \ AB	$\overline{A}\,\overline{B}$	$A\overline{B}$	AB	$\overline{A}B$
$\overline{C}\,\overline{D}$				
$C\overline{D}$		1	1	1
CD		1	1	1
$\overline{C}D$				

$E = AC + AB = C(A + B)$

Fig. 10.10 *Mappa di Karnaugh per la parte III dell' esercitazione.*

Si può notare che la semplificazione eseguita attraverso la combinazione in due blocchi di 2·2 e di 4·1 è perfettamente valida e dà come risultato:

$$F = AB\overline{E} + \overline{A} \cdot \overline{D}E$$

Anche se il metodo è valido, risulta, nella pratica, piuttosto complicato, la complessità aumenta con sei variabili, dove esse non soltanto possono essere vicine tra colonne non adiacenti, ma possono addirittura raggrupparsi elementi di righe e/o colonne simultaneamente non adiacenti. Per questo motivo, raramente nella pratica si realizzano mappe con più di sei variabili.

Una buona norma quando si eseguono le mappe di Karnaugh per cinque o sei variabili è considerarle come due o quattro mappe di quattro variabili; questo lo si può vedere in Fig. 10.6.

Le quattro mappe parziali nei quali abbiamo diviso questo diagramma di sei variabili, devono essere considerate simmetriche rispetto ai due assi principali che sono stati disegnati. Questo significa che caselle disposte simmetricamente rispetto a uno di questi due assi devono essere considerate come vicine. Per esempio, il quadrato superiore sinistro del diagramma generale sarà considerato vicino al quadrato superiore destro, formando un gruppo di due quadrati. Distinguere bene tra i tratti di linea continua e punteggiata.

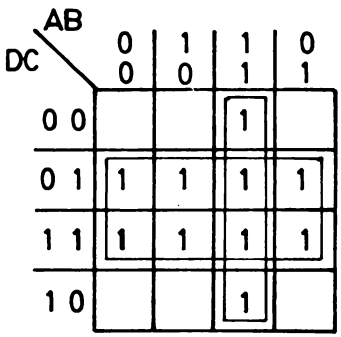
In accordo con la regola già citata, il risultato finale del diagramma sarà un termine, corrispondente al gruppo di otto quadrati; due termini di quattro variabili corrispondenti ai due gruppi di quattro quadrati; e altri due di cinque variabili corrispondenti ai due gruppi di due quadrati.

Di conseguenza l'espressione di G risulta semplificata nella forma:

$$G = BCD + \overline{B}\,\overline{D}\,\overline{E}\,\overline{F} + \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D}\,\overline{F} + \overline{A}\,\overline{B}\,\overline{C}D$$

STATO INDIFFERENTE

A volte in una funzione rappresentata da una tabella di verità, c'è una determinata combinazione di variabili nelle quali non ha importanza il valore che prende la funzione; perchè non interessa il risultato finale o perchè quella combinazione è impossibile. Questo è lo stato indifferente; in inglese "don't care condition". Per la semplificazione nelle mappe di Karnaugh in questo caso, si



$f = C + AB$

Tabella di verità

A	B	C	D	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Fig. 10.11 *Tabella di verità e mappa di Karnaugh della funzione f.*

mette una X nel quadrato corrispondente e quando si fa la semplificazione in funzione dei raggruppamenti di quadrati adiacenti si prende la X come 0 o come 1 in funzione della convenienza, cioè di una maggiore semplificazione della funzione.

10.4 Analisi di circuiti logici

E' ovvio che una variabile appare complementata se è passata attraverso un numero dispari di inversioni. Le conseguenze del teorema di De Morgan per porte NAND e NOR possono essere generalizzate nella forma seguente, una porta NAND (NOR) compie un'operazione OR (AND) quando le sue variabili di ingresso vengono negate per un numero dispari di volte, mentre compie un'operazione AND (OR) quando le sue variabili di ingresso vengono negate per un numero pari di volte.

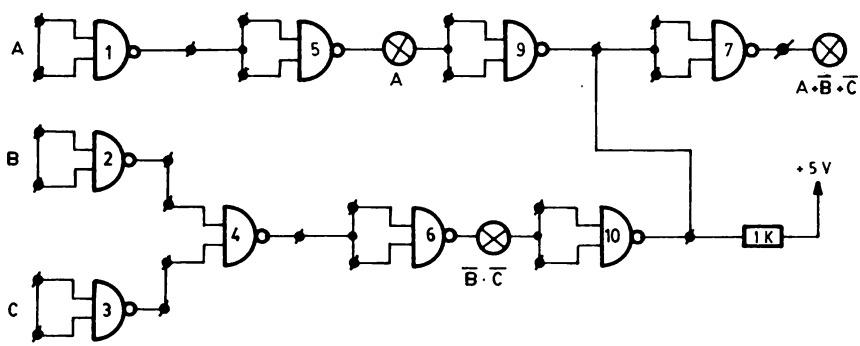


Fig. 10.12 *Circuito relativo alla parte V dell'esercitazione.*

Da tutto questo possiamo dedurre alcune regole per ottenere l'espressione logica di una configurazione data di porte.

1 . Considerare la porta nella quale si ottiene l'uscita finale come il primo livello di inversione, le successive porte come il secondo, ecc.

2 . Considerare che tutte le porte NAND con livelli di inversione dispari effettuano l'operazione OR.

3 . Considerare che tutte le porte NAND con livelli di inversione pari compiono l'operazione AND.

4 . Considerare che tutte le porte NOR con livelli di inversione dispari compiono l'operazione AND.

5 . Considerare che tutte le porte NOR con livelli di inversione pari compiono l'operazione OR.

6 . Tutte le variabili di ingresso introdotte con livelli di inversione dispari appariranno senza negazione nell'espressione logica del segnale di uscita.
Nell'esempio di Fig. 10.7 abbiamo:

$$Y = [F \cdot (\overline{D} \cdot \overline{E})] + [C + (\overline{A} + \overline{B})]$$
$$Y = \overline{A} + \overline{B} + C + \overline{D}\,\overline{E}\,\overline{F}$$

Queste stesse regole si possono applicare in senso inverso per ottenere la configurazione a partire dall'espressione algebrica.

ESERCITAZIONI SULLE MAPPE DI KARNAUGH

I . Utilizzando le mappe di Karnaugh, andiamo a semplificare l'espressione: $D = \overline{A}\,\overline{B}C + A\overline{B}\,\overline{C} + BC + A\overline{B}C$.
In Fig. 10.8 possiamo, sostituendo la X (stato indifferente), semplificare le espressioni

$$\overline{A}\,\overline{B}\,\overline{C} + A\,\overline{B}\,\overline{C} = \overline{B}\,\overline{C}$$

$$\overline{A}\,\overline{B}\,C + A\,\overline{B}\,C = \overline{B}\,C$$

Da queste due espressioni giungiamo alla conclusione che:

$$\overline{B}\,\overline{C} + \overline{B}\,C = \overline{B}$$

e ancora:

$$ABC + \overline{A}BC = BC$$
$$BC + \overline{B}C = C$$

in modo tale che alla fine risulta:

$$\boxed{D = \overline{B} + C}$$

II . Come fatto in precedenza, andiamo a semplificare la prossima espressione:

$$E = \overline{A}BC + \overline{B}CD + AC + \overline{A}\,\overline{B} + \overline{A}\,\overline{B}C\overline{D}$$

Partendo da Fig. 10.9 possiamo semplificare come segue:

$$\overline{A}\,\overline{B}C\overline{D} + A\overline{B}C\overline{D} = \overline{B}C\overline{D}$$
$$\overline{A}\,\overline{B}CD + A\overline{B}CD = \overline{B}CD$$
$$\overline{B}C\overline{D} + \overline{B}CD = \overline{B}C \ (1)$$
$$ABC\overline{D} + \overline{A}BC\overline{D} = BC\overline{D}$$
$$ABCD + \overline{A}BCD = BCD$$
$$BC\overline{D} + BCD = BC \ (2)$$

Con (1) e (2) arriviamo al risultato finale:

$$\overline{B}C + BC = C$$

E di conseguenza

$$\boxed{E = C}$$

III . Per concludere con questo tipo di esercizi, semplifichiamo la prossima espressione: $E = ABC + BCD + AC + BC$.

Partendo da Fig. 10.10 possiamo semplificare come mostrato di seguito:

$$A\overline{B}C\overline{D} + ABC\overline{D} = AC\overline{D}$$
$$A\overline{B}CD + ABCD = ACD$$
$$AC\overline{D} + ACD = AC \ (1)$$
$$ABC\overline{D} + \overline{A}BC\overline{D} = BC\overline{D}$$
$$ABCD + \overline{A}BCD = BCD$$
$$BC\overline{D} + BCD = BC \ (2)$$

Con (1) e (2) arriviamo al risultato finale:

$$E = AC + BC;$$

$$\boxed{E = C \cdot (A + B)}$$

IV . In questo esercizio costruiremo una mappa di Karnaugh per la tabella rappresentata in Fig. 10.11 e otterremo l'espressione algebrica della funzione f.

Partendo dalla figura, che rappresenta la mappa ottenuta a partire dalla tabella, possiamo semplificare come negli esercizi precedenti, fino ad arrivare a:

$$\boxed{f = C + AB}$$

V . Eseguire il montaggio sulla piastra sperimentale del circuito di Fig. 10.12 e verificare il risultato indicato nei punti intermedi e nel punto finale.

CAPITOLO 11

CIRCUITI CONTROLLATI DA CLOCK

Sino ad ora abbiamo analizzato configurazioni di porte logiche "statiche", cioè, circuiti il cui stato di uscita dipende esclusivamente dagli stati attuali di entrata e di conseguenza, non dipendono dal tempo. Tuttavia, esiste una grande quantità di circuiti digitali che sono controllati da impulsi di frequenza determinata, treni di impulsi, consistenti in sequenze di "1" e "0" logici disposti alternativamente.

Lo stato o stati di uscita dipendono in questi circuiti, non soltanto dagli stati "statici" o costanti che ci sono in entrata, ma anche da questi treni di impulsi, che da questo momento denomineremo impulsi di clock.

11.1 Alcune definizioni

Esempi tipici di circuiti che dipendono dal tempo sono flip-flop, contatori e registri a scorrimento. Prima di studiare il loro funzionamento, vediamo alcune definizioni relative agli impulsi che utilizzano. In Fig. 11.1a) abbiamo un circuito costituito da un generatore di tensione ideale, una resistenza e un interruttore.

Se chiudiamo l'interruttore, ai capi della resistenza, misuriamo una tensione uguale a quella del generatore, rimarrà invariata fino a quando l'interruttore non sarà riaperto, momento nel quale andrà subito a zero. Tutto questo produce un impulso rettangolare perfetto, come mostrato in Fig. 11.1b).

Le tre zone dell'impulso si chiamano rispettivamente fronte di salita (1), livello logico alto (2) e fronte di discesa (3). Il tempo t_W segnato in Fig. 11.1b) è la larghezza dell'impulso.

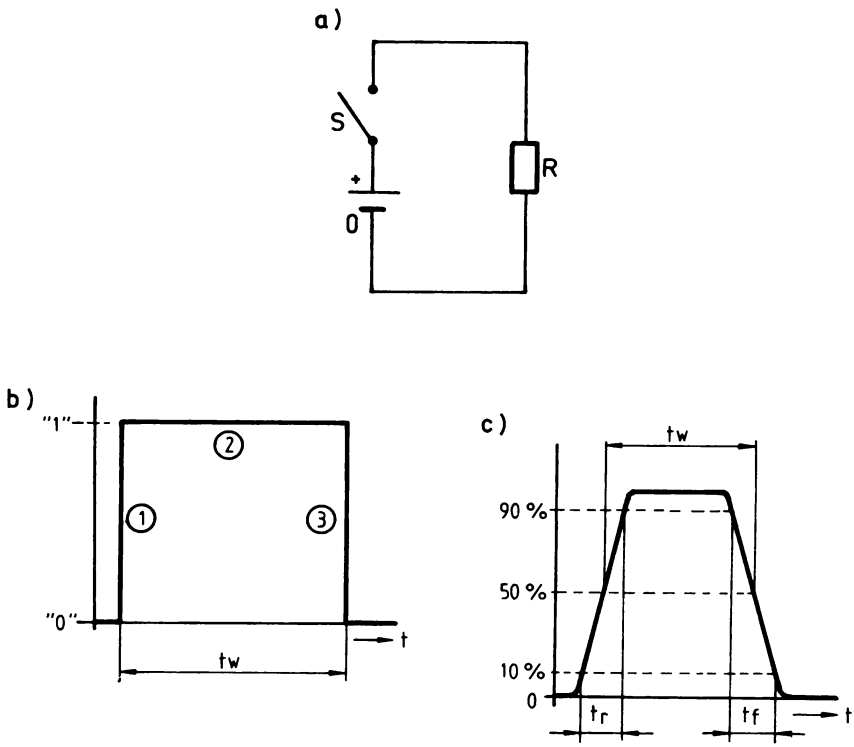


Fig. 11.1 *a) Circuito formato da un generatore di tensione ideale, una resistenza e un interruttore. b) Chiudendo l'interruttore si genera una tensione ai capi del generatore. c) Impulsi reali.*

In pratica non potremo mai ottenere un impulso rettangolare, a causa della presenza di autoinduzioni e capacità parassite nei circuiti elettronici di commutazione. Di conseguenza, gli impulsi che otterremo saranno in realtà come quelli di Fig. 11.1c).

Quando l'interruttore si chiude, la tensione impiega un certo intervallo di tempo per salire fino a livello logico 1; quando si apre l'interruttore succede la stessa cosa, la tensione impiega un certo intervallo di tempo per scendere a zero. Il tempo trascorso da quando la tensione (durante il fronte di salita) arriva al 10% del suo valore finale, fino a quando giunge al 90% di questo stesso valore viene chiamato tempo di salita (rise time) e viene indicato come t_r. Quasi nello stesso modo viene definito il tempo di discesa, che è quello trascorso tra il 90% e il 10% del valore massimo della tensione, quando essa scende fino a zero; lo si può vedere delimitato in Fig. 11.1c) come t_f (fall time). La larghezza d'impulso viene definita come il tempo trascorso tra i due punti di ampiezza media (50 per 100) del valore massimo della tensione e si chiama t_w.

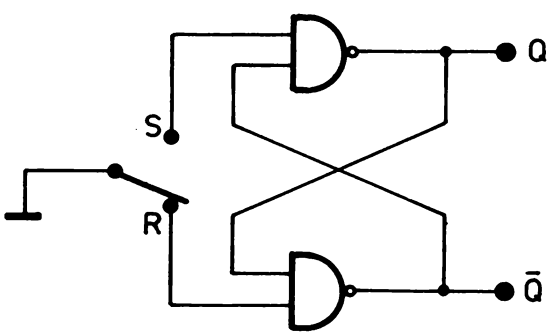


Fig. 11.2 *Flip-flop di tipo RS.*

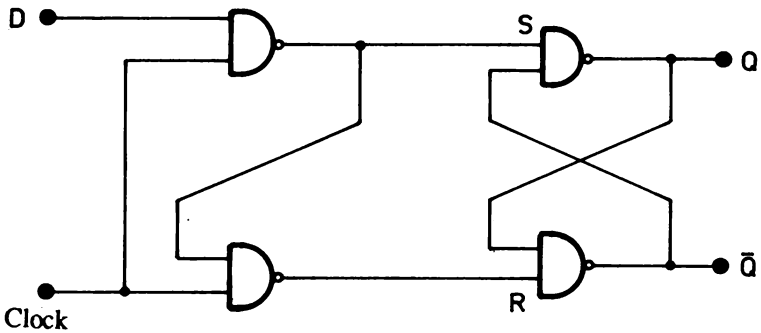


Tabella di verità

D	RELOJ	Q
0	1	0
1	1	1
0	1	0
1	1→0	1
0	0	1
1	0	1
0	0	1
1	0	1
0	0→1→0	1→0
1	0	0

Fig. 11.3 *Bistabile o flip-flop di tipo D e sua tabella di verità.*

Se l'interruttore è elettronico e si apre e chiude in modo continuo, otterremo un treno d'impulsi di "uno" e "zero" alternati. Il periodo di un treno di impulsi si definisce come il tempo trascorso tra i punti di ampiezza 50% di impulsi successivi, cioè il tempo impiegato dall'onda per andare dal 50% fino al massimo, rimanere lì per un certo tempo, scendere attraverso un altro punto di 50% fino a zero, rimanere nello zero un certo intervallo e tornare a salire fino al 50%. Viene chiamato duty cycle di un treno d'impulsi il rapporto tra la larghezza dell'impulso e il periodo, espresso in modo percentuale. La frequenza di un treno d'impulsi è semplicemente il numero d'impulsi per secondo.

11.2 Flip-flop o bistabili

I flip-flop o multivibratori bistabili sono circuiti che possono "immagazzinare" un'informazione logica, giacchè possiedono la caratteristica di avere uno stato di uscita che dipende da variabili di entrata precedenti. Nella sua forma più semplice, un flip-flop è un circuito il cui stato di uscita può situarsi in 1 permanentemente quando viene applicato un "1" (o uno "0", in funzione del tipo di flip-flop) al terminale denominato "set". L'uscita rimarrà a livello 1 anche quando cambia lo stato logico del terminale "set"; e ritornerà a 0 solo quando si applicherà lo stato appropriato (1 o 0, in funzione del tipo di flip-flop) al terminale "reset".

Una volta rimesso a 0, possiamo riportarlo di nuovo a 1 applicando all'entrata "set" lo stato giusto. Questi stati in "set" o in "reset" non devono essere mantenuti (a meno di voler evitare qualsiasi ulteriore cambiamento), ma applicati per un breve periodo in modo da provocare il cambiamento dello stato di uscita. I terminali "set" e "reset" governano dunque uno stato permanente di uscita, è sufficiente applicare ad uno dei due terminali un impulso adeguato perchè questo venga "memorizzato" dal flip-flop. Si dice che questo circuito è bistabile perchè i suoi due possibili stati di uscita sono entrambi stabili (non cambiano) a meno che venga applicato l'impulso appropriato ai terminali S o R ("set" o "reset").

11.3 Il bistabile RS

Il flip-flop rappresenta l'esecuzione più semplice di un multivibratore bistabile. Può essere realizzato attraverso due porte NAND, come mostrato in Fig. 11.2.

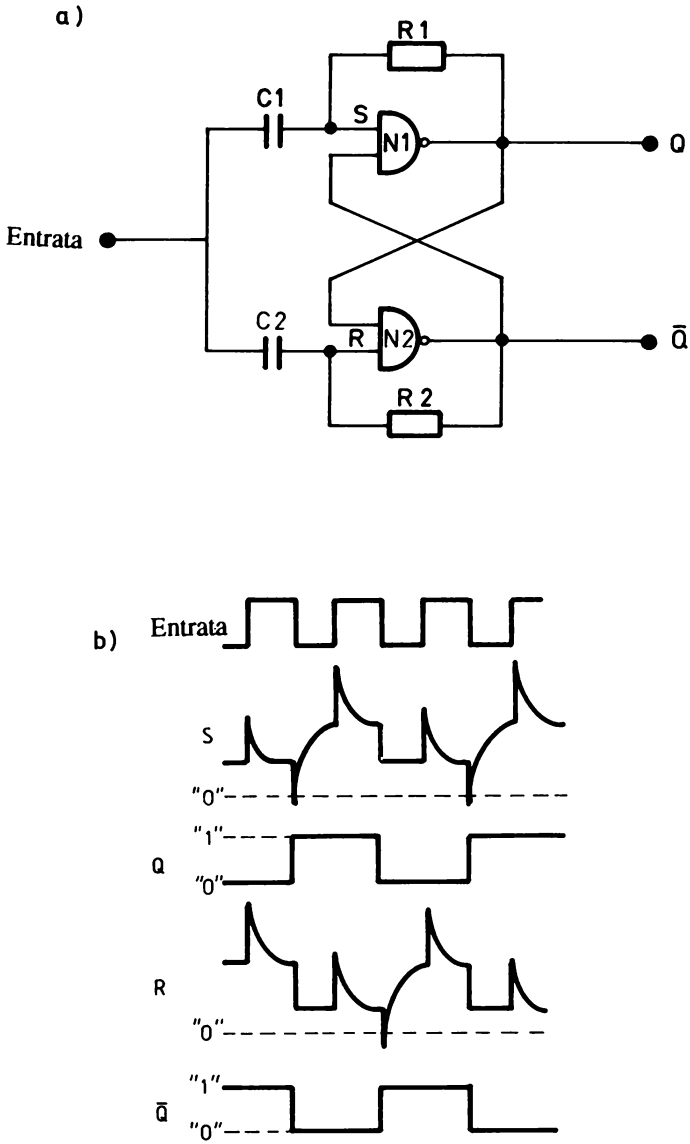


Fig. 11.4 *a) Bistabile accoppiato in alternata. b) Diagramma delle tensioni in funzione del tempo.*

Le entrate si identificano con le iniziali R ed S, dalla denominazione inglese "set" e "reset". Il flip-flop ha sempre due uscite: Q e $\overline{Q}$. Una di loro è sempre l'inverso dell'altra, per tanto, entrambe sono sempre in un diverso stato logico (se Q = 1, $\overline{Q}$ = 0 e viceversa).

Per spiegare il funzionamento del flip-flop RS supponiamo che entrambe le entrate (S e R) siano ad 1 logico e che l'uscita Q sia anch'essa ad 1 logico. Di conseguenza, l'entrata superiore di N2 sarà ad 1 logico e per questo la sua uscita $\overline{Q}$ rimarrà a zero. Colleghiamo momentaneamente l'entrata S al livello 0; lo stato di uscita non cambia, come vedremo usando la piastra per esperimenti digitali. Non si modifica neanche quando si collega di nuovo al livello 1. Possiamo allora dire che il flip-flop funziona adesso come memoria. Per cancellare "l'informazione" memorizzata basta collegare momentaneamente l'entrata R al livello 0. Quando si fa questo, $\overline{Q}$ assume valore logico 1 dato che N2 è una porta NAND; essendo 1 l'entrata inferiore di N1, Q passerà a zero. Il flip-flop cambia così il suo stato di uscita per un altro ugualmente stabile. Adottando come positiva l'uscita Q diremmo che il flip-flop ha immagazzinato uno zero, che verrà trattenuto fino a quando uno zero nell'entrata S provocherà di nuovo un 1 nell'uscita Q.

Bisogna tenere presente che se viene applicato uno 0 contemporaneamente ad S e R si produce un'uscita non valida con Q e $\overline{Q}$ in stato 1. Questo è dovuto al fatto che un'entrata di ogni porta NAND è a 1, il che manda le sue uscite ad 1 in accordo con la funzione NAND.

Un'applicazione immediata per il flip-flop RS, potrebbe essere evitare il "rimbalzo" che si genera durante la chiusura di un paio di contatti meccanici. Vediamo in che cosa consiste tale fenomeno: dopo il contatto iniziale che chiude il circuito, si producono una serie di brevi rimbalzi tra i contatti, fino ad arrivare velocemente alla posizione finale di equilibrio. Se l'interruttore è collegato all'entrata di un contatore, interpreterà questi rimbalzi come impulsi di conteggio, i quali verranno contati falsando di conseguenza il risultato.

Tuttavia, basta montare dietro l'interruttore un flip-flop RS per evitare il problema, come mostrato in Fig. 11.2. Il flip-flop immagazzina un 1 o uno 0 a seconda della posizione del commutatore, compiendo così la funzione logica dell'interruttore, senza essere minimamente influenzato dai possibili rimbalzi che si possono generare dopo il primo contatto, dato che questi non possono alterare lo stato del flip-flop; per farlo sarebbe necessario intervenire sull'altra entrata.

11.4 IL BISTABILE DI TIPO D

In applicazioni come memorie a mantenimento di dati è necessario "ricordare" qual'è stato il valore di un'entrata qualsiasi, anche se in seguito tale entrata è cambiata. Il flip-flop non ci serve in questi casi, dato che sono necessarie due entrate (R ed S) per commutarlo.

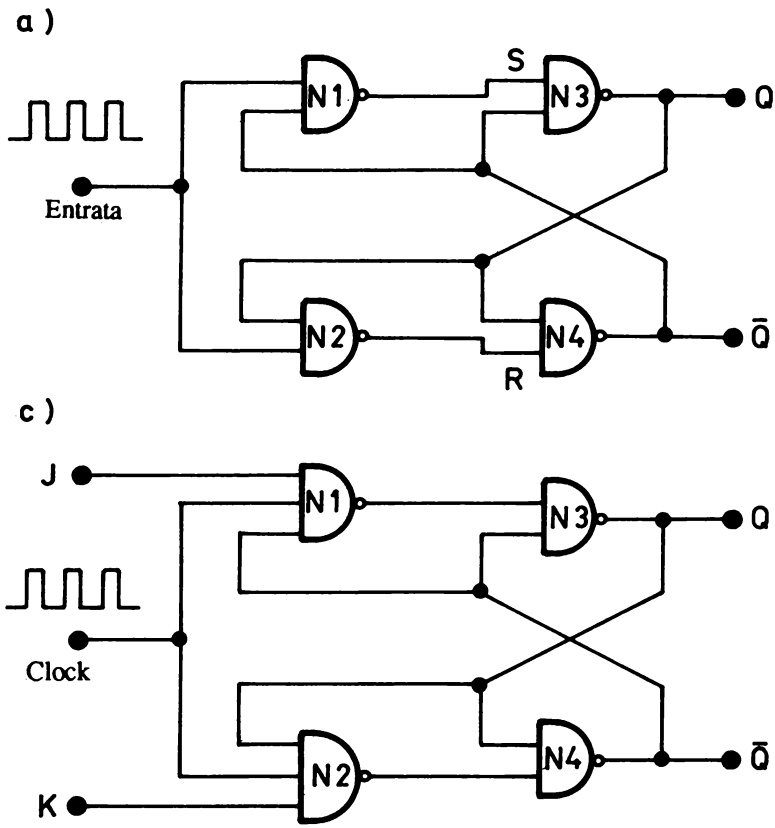
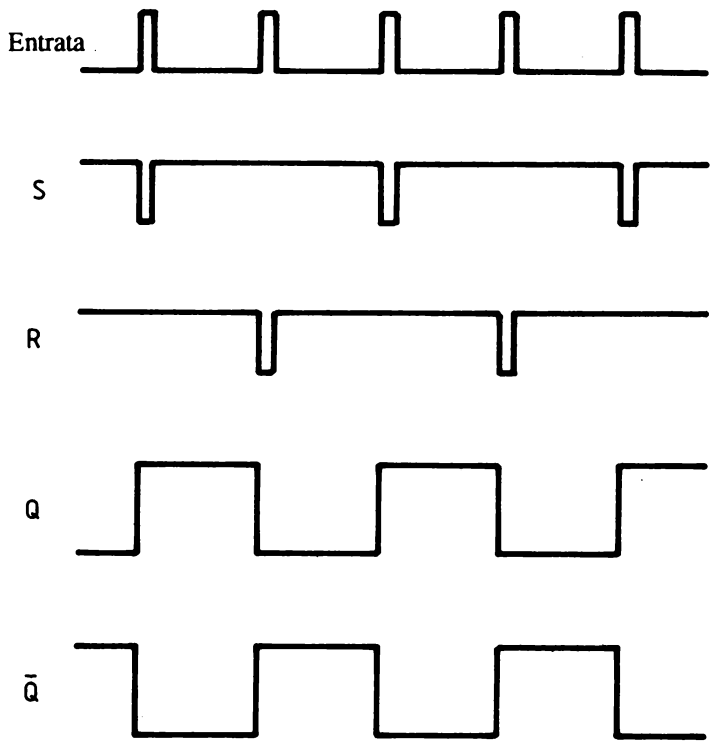


Fig. 11.5 *a) Bistabile accoppiato in continua. b) Diagramma di funzionamento del circuito. c) Bistabile di tipo JK.*

Tuttavia, è possibile far commutare un flip-flop RS da una sola entrata, semplicemente collegando l'entrata Reset al valore logico da memorizzare (l'entrata del "dato"), e l'entrata Set al valore del dato invertito; quando l'entrata assume valore logico 1 il flip-flop commuta a "set", quando assume valore logico zero il flip-flop rimane in "reset" (Q rimane a 0). Naturalmente, questo presenta l'inconveniente che il flip-flop risente di ogni cambiamento di dato

b)



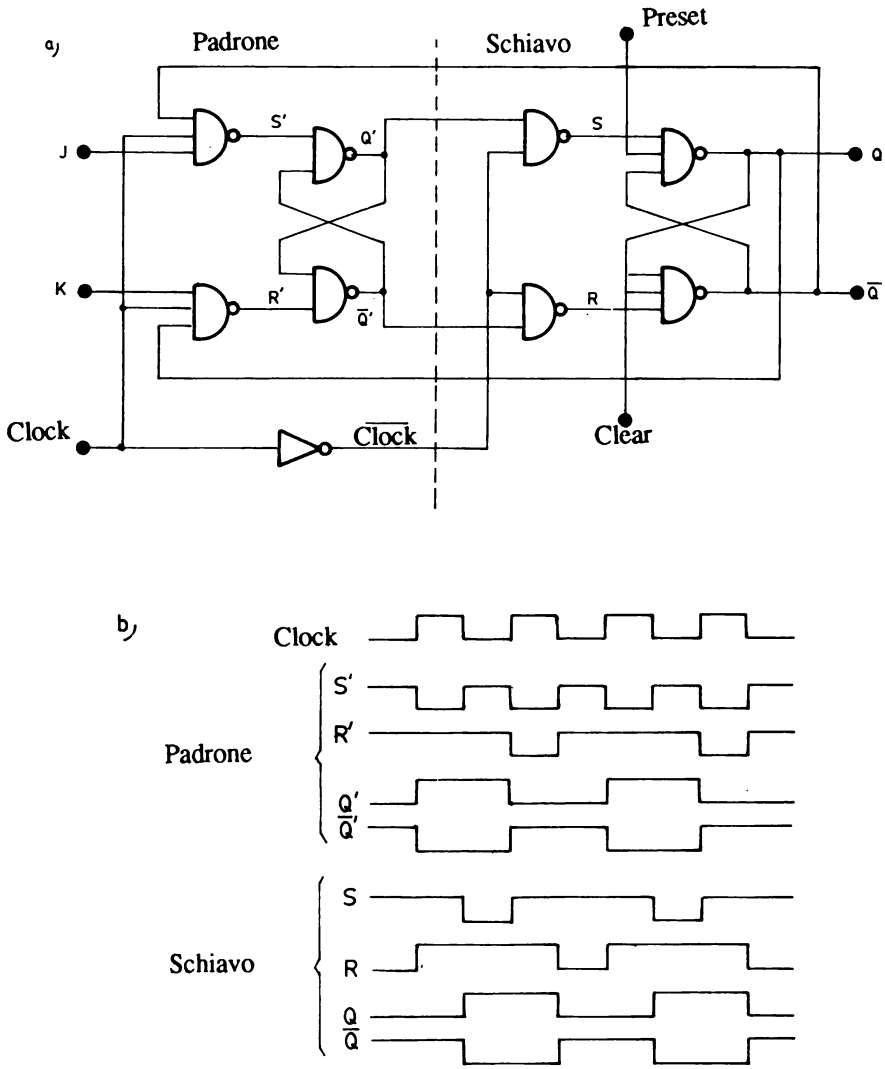


Fig. 11.6 *a) Bistabile JK master-slave. b) Diagramma che mostra l'andamento delle tensioni nei diversi punti.*

in entrata. Per evitare questo, aggiungiamo una porta in più che isoli l'entrata di dati dal resto del flip-flop dopo aver immagazzinato il dato desiderato. In questo modo otteniamo il flip-flop D (Data Flip-flop) di Fig. 11.3.

Quando l'entrata di clock rimane a livello 1, l'uscita Q seguirà e immagazzinerà i successivi stati dell'entrata di dati, segnata con D nella figura. Tuttavia, quando l'entrata di clock, rimane a livello 0, le entrate S ed R del flip-flop permangono a 1, cosicchè non si potranno verificare cambi. In questo modo, rimane immagazzinato nel flip-flop, e disponibile in Q, l'ultimo stato logico che era presente in D nel momento in cui l'entrata di clock è passata a zero. Quando questa ritorna a 1 il flip-flop recupera la sua capacità di seguire l'entrata D e immagazzinare i suoi stati fino a che l'entrata di clock ritorna a 0. La tabella di verità riassume il funzionamento del flip-flop D.

Il simbolo "1 → 0" indica la transizione dallo stato logico 1 allo 0.

11.5 Bistabili utilizzati come divisori

Esistono molte applicazioni elettroniche, quali contatori, memorie, registri a scorrimento, ecc. nei quali sono necessari flip-flop che possono essere commutati da impulsi alternativi applicati ad una sola entrata. Inizialmente questo si può ottenere applicando questi impulsi alternativamente alle entrate Set e Reset di un flip-flop RS. In questo modo, il primo impulso porterebbe Q a livello alto, il secondo lo porterebbe a livello basso, ecc. Per avere questo tipo di funzionamento basta che il circuito "ricordi" l'entrata in cui è stato applicato l'ultimo impulso e diriga il successivo all'altra entrata.

BISTABILE ACCOPPIATO IN ALTERNATA

Il metodo più semplice per ricordare gli stati delle uscite Q e $\overline{Q}$ è quello di utilizzare due condensatori che caricandosi possano immagazzinare temporaneamente 0 o 1 in uscita. In Fig. 11.4a) vediamo un flip-flop realizzato con questo principio.

Come si può vedere nel diagramma delle tensioni in funzione del tempo, in Fig. 11.4b), la tensione nelle entrate R ed S scende al di sotto della soglia di "zero", che sarà leggermente più alta di zero volt, una volta ogni due impulsi, a causa della carica e scarica dei condensatori. Di conseguenza la frequenza del treno d'impulsi di uscita è esattamente la metà di quella d'entrata.

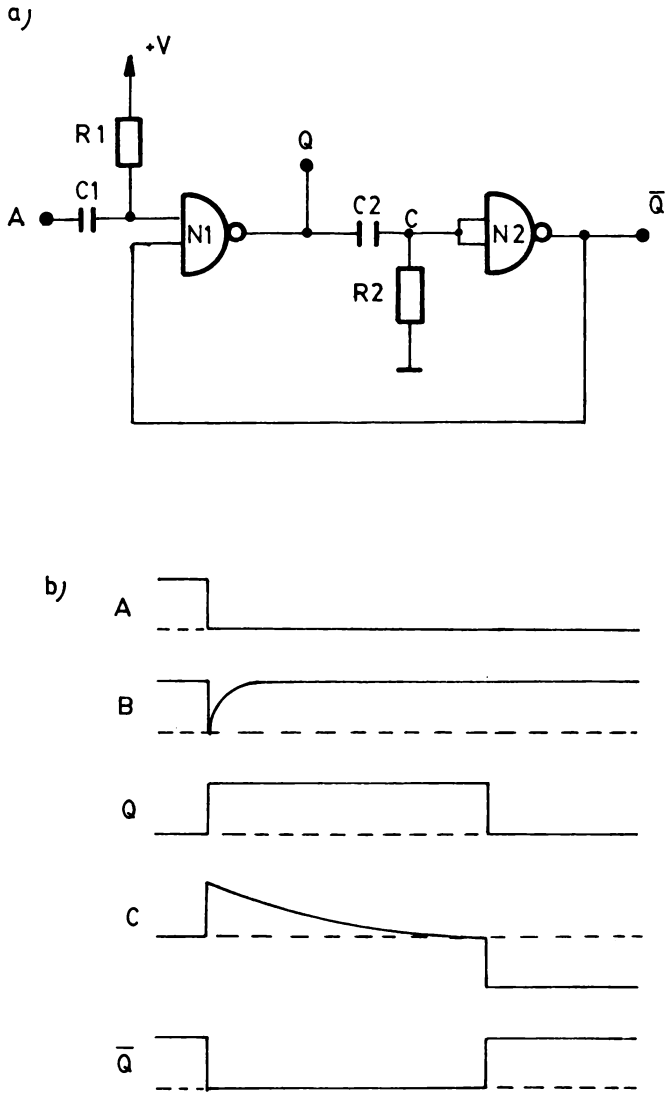


Fig. 11.7 *a) Circuito di un monostabile. b) Diagramma temporale delle diverse tensioni nel circuito.*

Il principale svantaggio dei bistabili accoppiati in alternata è che non possono essere utilizzati con impulsi in entrata che non abbiano un tempo di salita molto breve, dato che i condensatori e le resistenze del circuito formano un filtro passa-alto che attenuerebbe di parecchio gli impulsi caratterizzati da fronti di salita e discesa troppo lenti. Esiste anche un altro svantaggio, questo tipo di flip-flop può acquisire dei falsi segnali causati da interferenze o segnali parassiti ad alta frequenza, i condensatori di entrata infatti presentato un'impedenza molto bassa.

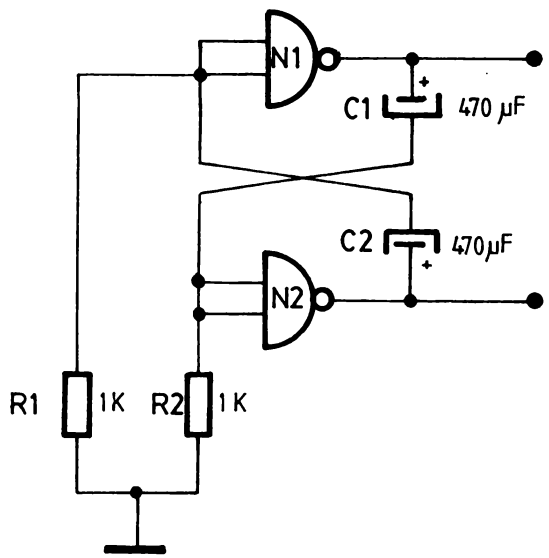


Fig. 11.8 *Circuito di un multivibratore astabile che utilizza due porte NAND.*

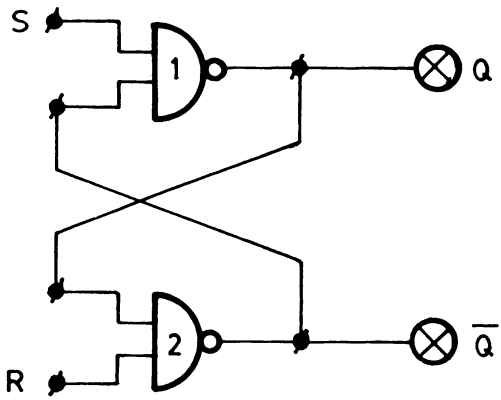


Tabella di verità

S	R	Q	$\overline{Q}$
0	0	1	1
0	1	1	0
1	1	1	0
1	0	0	1
1	1	0	1

Fig. 11.9 *Tabella di verità e schema relativo all'esercitazione sul flip-flop RS.*

BISTABILE ACCOPPIATO IN CONTINUA

In Fig. 11.5a) si può vedere un circuito più funzionale del precedente. In questo utilizziamo anche le uscite Q e $\overline{Q}$ per selezionare l'entrata del bistabile alla quale deve essere inviato il successivo impulso per ottenere la commutazione del flip-flop.

Questo bistabile commuta sempre sui fronti di salita, a differenza del precedente che lo faceva su quelli di discesa; come si può vedere nel diagramma delle tensioni di Fig. 11.5b). Il funzionamento è facile da analizzare. Se l'uscita Q è a livello basso, lo saranno anche un'entrata di N2 e una di N4; $\overline{Q}$ si troverà a livello alto, quindi lo saranno anche un'entrata di N1 e una di N3. Come già avrete notato, N3 e N4 formano un flip-flop RS. Quando l'impulso di entrata è a livello 0, le uscite di N1 e N2 rimangono a livello 1, tuttavia quando l'impulso di entrata va a 1, l'uscita di N2 rimane a 1, poichè continua ad avere un'entrata a livello 0, viceversa l'uscita di N1 scenderà a zero, commutando il bistabile, di conseguenza Q passa a livello alto. Un'entrata di N1 rimane adesso a 0 mentre un'entrata di N2 passa a 1, quindi, l'impulso successivo farà passare a zero l'uscita di N2, commutando nuovamente il flip-flop.

Il passo successivo sarà fornire questo flip-flop di entrate di Set e Reset controllate da impulsi, come mostrato in Fig. 11.5c).

Queste entrate si chiamano J e K. Il loro funzionamento è il seguente: quando entrambe le entrate J e K sono a livello basso, le uscite di N1 e N2 rimarranno sempre a 1 logico, quindi il flip-flop conserverà lo stato precedente. Quando J è a livello alto e K rimane a livello basso, l'unica strada che può essere aperta agli impulsi di clock è quella della porta N1, all'arrivo del primo impulso di clock il flip-flop andrà in stato di Set (Q a livello 1). Evidentemente il rimanere in stato di Set ci impedisce qualsiasi ulteriore evoluzione del flip-flop, a causa dello 0 esistente in K.

Se entrambe le entrate J e K si mantengono permanentemente a 1, il flip-flop commuta ad ogni impulso e il suo funzionamento è esattamente uguale a quello spiegato precedentemente. Vediamo, dunque, che l'unica funzione delle entrate J e K è darci la possibilità di mettere il flip-flop in Set o Reset, utilizzando per questo i propri impulsi di clock.

11.6 Bistabile JK master slave

C'è un chiaro inconveniente nel funzionamento del bistabile semplice accoppiato in continua che abbiamo visto. Se l'impulso di clock è guidato attraverso N1 (Fig. 11.5a) per commutare il bistabile allo stato Set, immediatamente dopo la commutazione, l'uscita Q passerà a uno, creando così le condizioni perchè il prossimo impulso sia guidato per N2. Ma se l'impulso che ha prodotto lo stato Set è ancora presente in entrata quando l'uscita Q passa a 1, allora sarà questo stesso impulso che facendo commutare N2, fa passare il flip-flop allo stato Reset. Se l'entrata di clock è ancora in 1 quando questo cambio si produce, il bistabile tornerà di nuovo in Set, dopo in Reset, ecc. E' possibile che si producano vari cambi per ogni impulso.

Per ottenere un buon funzionamento con un bistabile di questo tipo è neces-

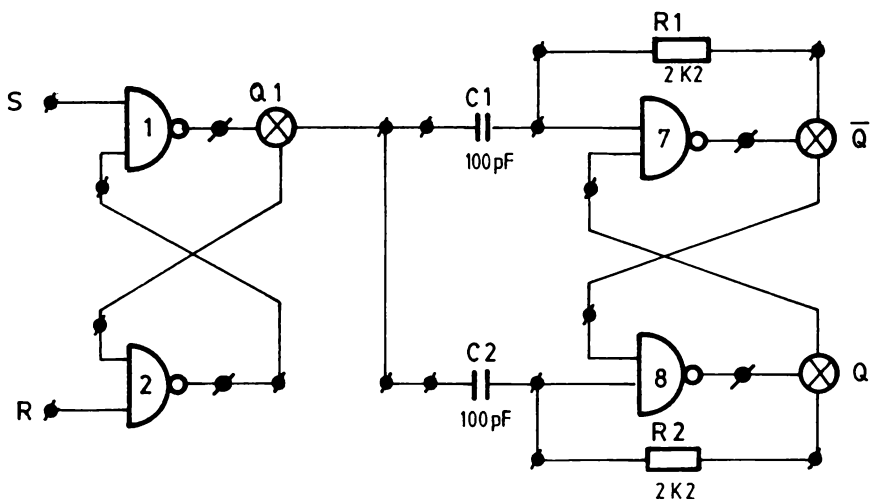


Fig. 11.10 *Schema e tabella di verità relativa all'esercitazione sul bistabile accoppiato in alternata.*

sario che la larghezza degli impulsi utilizzati sia minore del tempo che necessita il bistabile per commutare; minore deve essere anche il tempo che impiega il corrispondente stato di uscita 0 ad apparire sull'uscita di N1 o N2. Dato che le moderne porte logiche hanno tempi di propagazione di pochi nanosecondi, gli impulsi utilizzati devono essere estremamente corti e con cicli di lavoro senz'altro minori del 50%.

Fortunatamente possiamo evitare questi problemi aggiungendo un secondo flip-flop subordinato al primo, con la configurazione che si può vedere in Fig. 11.6a).

Supponiamo che l'uscita Q del bistabile schiavo sia inizialmente a zero; quando l'impulso di clock sale, il bistabile padrone rimane in Set. Tuttavia, lo schiavo rimane in reset, e quindi non c'è pericolo di un'ulteriore commutazione del padrone. Quando l'impulso di clock passa a zero, allora l'entrata di clock

Tabella di verità

Clock	Q	$\overline{Q}$
1° Impulso	1	0
2° Impulso	0	1
3° Impulso	1	0
4° Impulso	0	1

Alternativa:

Clock	Q	$\overline{Q}$
1° Impulso	0	1
2° Impulso	1	0
3° Impulso	0	1
4° Impulso	1	0

dello schiavo, che è l'inverso di quella del padrone, passa a livello alto, con questo lo schiavo passa a Set o in linguaggio tecnico "l'informazione è trasferita dal padrone allo schiavo". Quando commuta lo schiavo, si cambia la possibilità di accesso del successivo impulso, che sarà adesso guidato attraverso la porta NAND inferiore dell'entrata dello stesso, facendo commutare il pa-

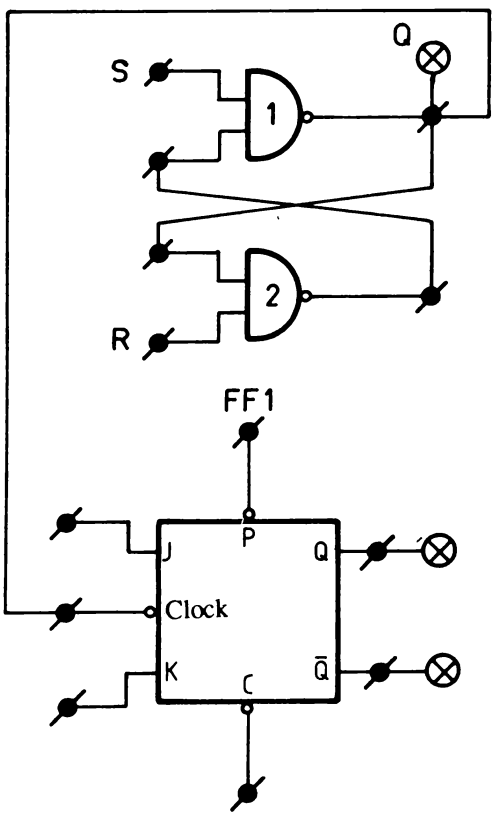


Fig. 11.11 *Schema e tabella di verità relativa all'esercitazione sul bistabile JK master-slave.*

drone allo stato Reset, e così di seguito. In Fig. 11.6b) si può vedere un diagramma che mostra lo sviluppo delle tensioni nei diversi punti. In questa figura si può osservare che le uscite del bistabile della sezione schiavo cambiano di stato durante i fronti di discesa dell'impulso corrispondente.

I bistabili padrone-schiavo (master-slave, in inglese) in formato circuito in-

Tabella di verità

PRESET ($\overline{P}$)	CLEAR ($\overline{C}$)	J	K	Q_0	Q_1	Q_t
1	1	1	1	non cambia	Cambia	Commuta
1	1	0	1	non cambia	0	0
1	1	1	0	0	1	1
1	0	1	1	0	0	0
1	0	0	1	0	0	0
1	0	0	1	0	0	0
0	1	1	1	1	1	1
0	1	0	1	1	1	1
0	1	1	0	1	1	1

tegrato sono quasi sempre provvisti di entrate J e K e di entrate dirette di set e reset, chiamati preset e clear. Come già visto in precedenza, le entrate J e K ci servono per conseguire lo stato di set o reset del bistabile utilizzando il clock. Tuttavia, le entrate di set e reset dirette (preset e clear) sono utilizzate per mettere il flip-flop in set o in reset, indipendentemente dagli impulsi di clock o dalle entrate J e K.

Con queste caratteristiche il flip-flop JKMS (le entrate MS corrispondono in inglese a master-slave) deve essere considerato come il bistabile universale. Può essere utilizzato come bistabile RS con le entrate preset e clear, o come bistabile di tipo D collegando una porta NOT tra le entrate J e K. Infine, può essere utilizzato come JK o come bistabile di commutazione, lasciando a 1 le entrate J e K.

11.7 Circuiti monostabili e astabili

Multivibratore monostabile

Come indica il nome, il multivibratore monostabile ha soltanto uno stato stabile, in contrapposizione al flip-flop o multivibratore bistabile che, come sappiamo, possiede due stati stabili di uscita. Quando viene applicato un impulso rimane per un tempo determinato, dato da una costante di tempo RC, in uno stato instabile, passato il quale torna al suo stato primitivo, il suo unico stato stabile. Così dunque, il multivibratore monostabile rimane in uno stato di uscita di durata costante e determinata in risposta ad un impulso che può essere di qualsiasi lunghezza. Serve quindi per accorciare o allungare un impulso applicato alla sua entrata. In Fig. 11.7a) si può vedere lo schema di un monostabile formato da due porte NAND.

Quando l'entrata va a zero, un impulso negativo viene applicato attraverso C1 all'entrata di N1. Questo causa una salita fino al livello alto nella sua uscita, che presenta anche un impulso positivo applicato all'entrata di N2 attraverso C2. L'uscita di N2 rimane, di conseguenza a livello basso, tale valore viene applicato all'entrata di N1 per assicurare che l'uscita di questa rimanga alta dopo che l'impulso di entrata sia sparito. Nel frattempo, C2 si scarica attraverso R2 e quindi la tensione di entrata di N2 va diminuendo. Quando questa raggiunge la soglia dello zero logico, l'uscita di N2 va a livello alto, e quindi quella di N1 va a livello basso. In N2 entra dunque un impulso negativo che

non ha ormai nessun effetto. In questo modo il sistema torna al suo stato iniziale, con l'uscita di N1 a 0 e quella di N2 a 1. Questo è lo stato stabile del multivibratore. Lo sviluppo temporale delle diverse tensioni in risposta ad un impulso di discesa possono vedersi in Fig. 11.7b). Esistono anche circuiti che sono comandati da impulsi di salita; il loro funzionamento è analogo.

Multivibratore astabile

A molti lettori risulterà familiare il semplice generatore astabile con due transistor che genera un'onda quadra. I multivibratori astabili vengono utilizzati spesso in circuiti digitali per generare treni d'impulsi rettangolari utilizzati come frequenze di clock. Tuttavia, i multivibratori astabili spesso si realizzano utilizzando porte NAND o NOT invece di componenti discreti.

In Fig. 11.8 si può vedere il circuito di un multivibratore astabile che utilizza due porte NAND. Il suo funzionamento è il seguente: supponiamo che l'uscita di N1 sia inizialmente a 0 e C1 sia scarico. Le entrate di N2 sono a 0 a causa della resistenza R2; di conseguenza l'uscita di N2 salirà a 1. Questo provocherà un impulso positivo all'entrata di N1 attraverso il condensatore C2, il quale inizierà a scaricarsi attraverso R1 e quando verrà raggiunto lo 0 in N1, la sua uscita passerà a 1 logico. A questo punto si applicherà un impulso positivo all'entrata di N2 attraverso il condensatore C1, tale impulso positivo farà passare l'uscita di N2 a 0 logico.

La tensione all'entrata di N1 scenderà per questa ragione a 0 logico, si ritorna quindi allo stato iniziale, con le uscite di N2 e N1 basse. C1 inizia allora a scaricarsi attraverso R2 fino a raggiungere la soglia dello 0 logico di N2, a questo punto l'uscita di N2 passerà a livello alto, il che farà apparire un impulso negativo all'entrata di N1, come succedeva all'inizio. Il ciclo si ripete all'infinito, dando in una qualsiasi delle due uscite un'onda quadra la cui frequenza e ciclo di lavoro può regolarsi variando i valori dei due condensatori e resistenze.

ESERCITAZIONE 1. BISTABILE RS

Montate sulla piastra sperimentale il circuito di Fig. 11.9 e verificatene il funzionamento con la tabella di verità.

Se mettiamo le entrate R e S a 1 logico, l'uscita Q sarà 1 o 0, verificatelo in funzione del precedente stato del bistabile e in base a quale delle due entrate

sia stata collegata per prima.

ESERCITAZIONE 2. BISTABILE ACCOPPIATO IN ALTERNATA

Montate il circuito di Fig. 11.10. Utilizzate il bistabile RS collegato all'entrata del bistabile assemblato in alternata (7,8) per applicare impulsi in entrata; questo si ottiene facendo commutare il bistabile RS in modo manuale. Verificatene la tabella di verità.

Per concludere diremo che l'uscita Q di un bistabile assemblato in alternata passa a 1 logico dopo ogni due impulsi di entrata, cioè dopo due impulsi di clock.

ESERCITAZIONE 3. BISTABILE JK

La costruzione di questo tipo di bistabile, attraverso porte NAND, risulta abbastanza complicata e quindi abbiamo preferito includere nella piastra quattro bistabili integrati di questo modello. Lo schema è riportato in Fig. 11.11. Si presenta come una semplice scatola con i terminali (clock), preset (P), clear (C), J, K, Q e $\overline{Q}$.

Montate il circuito di Fig. 11.11 sulla piastra sperimentale e fate oscillare il bistabile RS per introdurre impulsi all'entrata di clock di FF1. Verificate l'effetto di questi impulsi nell'uscita Q per le diverse combinazioni di stati delle entrate J, K, P e C, che possono vedersi nella tabella di verità. Q_0 rappresenta lo stato dell'uscita Q immediatamente dopo il primo impulso di clock. Q_t è lo stato di uscita dopo alcuni impulsi di clock. Quando FF1 cambia di stato con impulsi di clock alternativi, scriveremo "commuta".

Tutti i Kit presentati nella collana

PROGETTARE CON L'ELETTRONICA

sono disponibili presso:

SYELCO

Via S. Francesco d'Assisi, 20
Via Manzoni, 12
tel. 0321 - 27786 - telefax 0321 - 390254
28100 NOVARA

I kit già disponibili sono elencati nelle pagine seguenti.

I Kit sono comprensivi di tutto il materiale necessario per il montaggio, compresi i circuiti stampati ed esclusi i contenitori, i trasformatori e le minuterie che possono essere richiesti separatamente, così come gli eventuali libri arretrati.

Tutti i prezzi si intendono I.V.A. compresa, franco deposito.

BUONO DI ORDINAZIONE da inviare a:
GRUPPO EDITORIALE JACKSON - Casella postale 10675 - 20100 MILANO

Vi prego di inviarmi:
◊kit completo n._____
◊contenitori relativi al kit n. _____
◊volume PROGETTARE CON L'ELETTRONICA n._____
◊altro _____

Pagherò in contrassegno il prezzo complessivo di L. _____ più le spese postali.

Cognome _____Nome _____
Via _____N. _____
Cap. _____ Città_____Prov._____

ELENCO DEI KIT GIA' DISPONIBILI

PE 001.01	Allarme antifurto (volume 1)	L. 31.000
PE 001.02	Barriera infrarossa (volume 1)	L. 45.000
PE 002.01	Ricevitore via satellite (volume 2)	richiedere
PE 003.01	Volmetro di base (volume 3)	L. 69.500
PE 003.02	Modulo delle scale correnti-tensioni (volume 3)	L. 11.800
PE 003.03	Modulo rettificatore e convertitore f⇒V (volume 3)	L. 23.500
PE 004.01	Alimentatore per preamplificatore (volume 4)	L. 23.000
PE 004.02	Preamplificatore audio (volume 4)	L. 47.500
PE 005.01	Trasmettitore ad infrarossi a (volume 5)	L. 42.000
PE 005.02	Ricevitore ad infrarossi (volume 5)	L. 91.000
PE 006.01	Ricetrasmettitore a tre bande (volume 6)	L.215.000
PE 007.01	Alimentatore (volume 7)	L. 97.000
PE 008.01	Amplificatore da 25 W (volume 8)	L. 38.000
PE 008.02	Amplificatore da 40 W (volume 8)	L. 58.000
PE 008.03	Amplificatore da 100 W (volume 8)	L. 66.000
PE 008.04	Alimentatore per amp. da 25 e 40 W (volume 8)	L. 66.000
PE 008.05	Misuratore di potenza a LED (volume 8)	L. 54.000

Vent' anni fa l' uomo della strada probabilmente non aveva mai sentito parlare dell' elettronica digitale e la maggior parte degli ingegneri elettronici, tecnici o amatori avevano soltanto una conoscenza superficiale dell' argomento. Tuttavia, oggi come oggi è impossibile passeggiare per le principali strade di una qualsiasi città senza trovare un' ampia gamma di orologi digitali, calcolatrici o giochi per TV, esposti nelle vetrine dei negozi pronti per essere venduti. Questo ci da un' idea del continuo aumento di importanza dell' elettronica digitale.

D' altra parte nelle pubblicazioni attuali di elettronica troveremo molti schemi di circuiti che incorporano elementi logici il cui funzionamento interno non viene specificato. Per questo la conoscenza di tali circuiti logici è essenziale per le persone che dimostrano interesse per l' elettronica moderna. In conclusione questo libro cerca di offrire un' introduzione all' elettronica digitale come base fondamentale per studi futuri più approfonditi.

Cod. DN011

P11

ELETTRONICA DIGITALE CON ESPERIMENTI